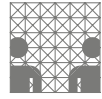


Full-Custom Design

Werkzeuge : CADENCE IC-Design / Analog Design-Environment

Design-Kits : AMS Hit-Kit

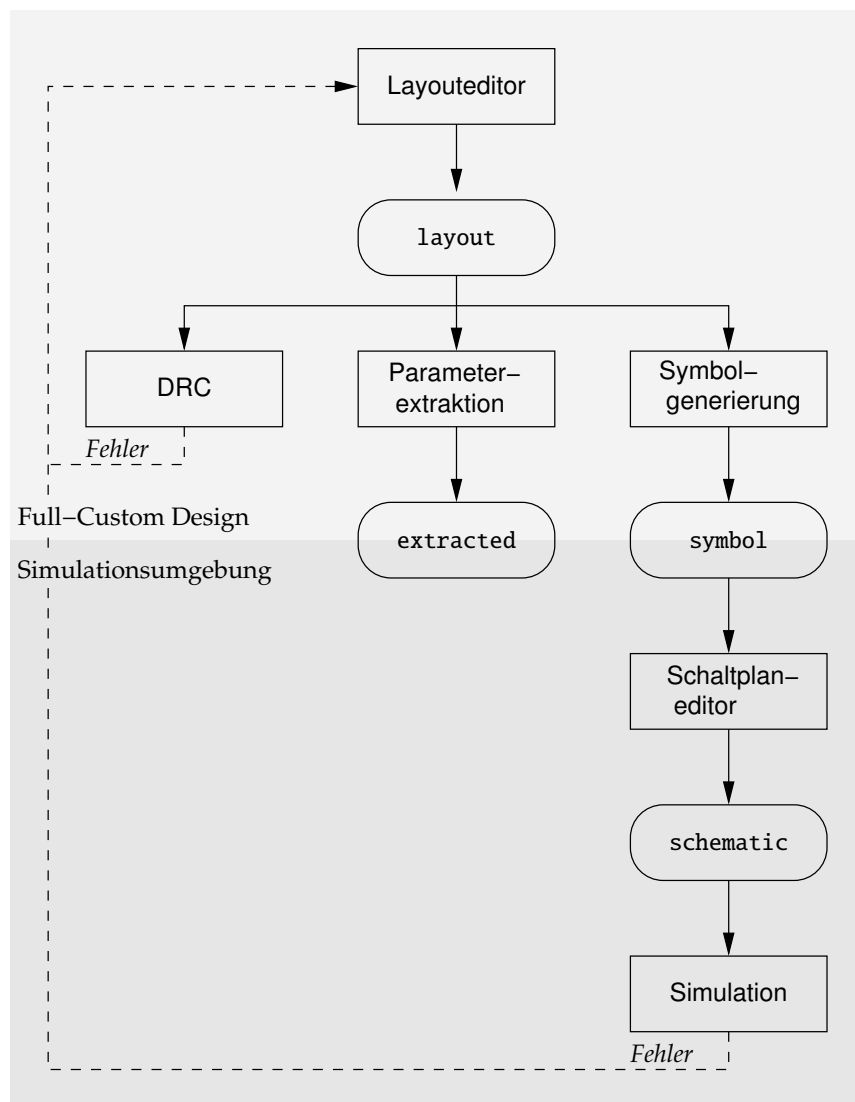
designSetup : ic ams



A. Mäder

Dem Full-Custom Layout liegt folgender Entwurfsablauf zugrunde:

1. Eingabe des Layouts mit dem Layout-Editor
2. Kontrolle durch einen Design Rule Check
3. Extraktion der elektrischen Netzliste für die Simulation
4. Aufbau einer geeigneten Testumgebung
5. Simulation der Schaltung



Layouteingabe

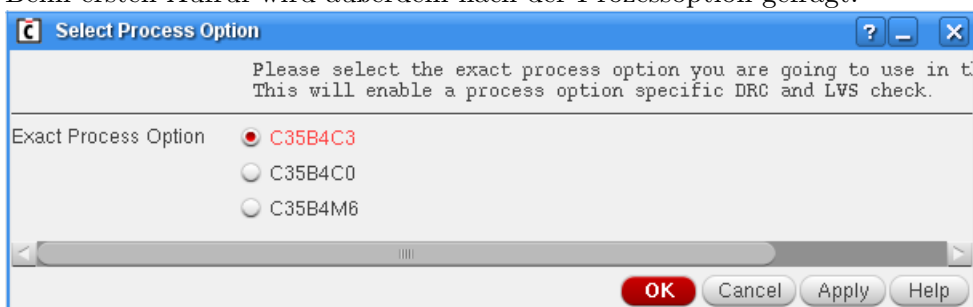
1. Initialisierung der Shell und Start des Systems:

```

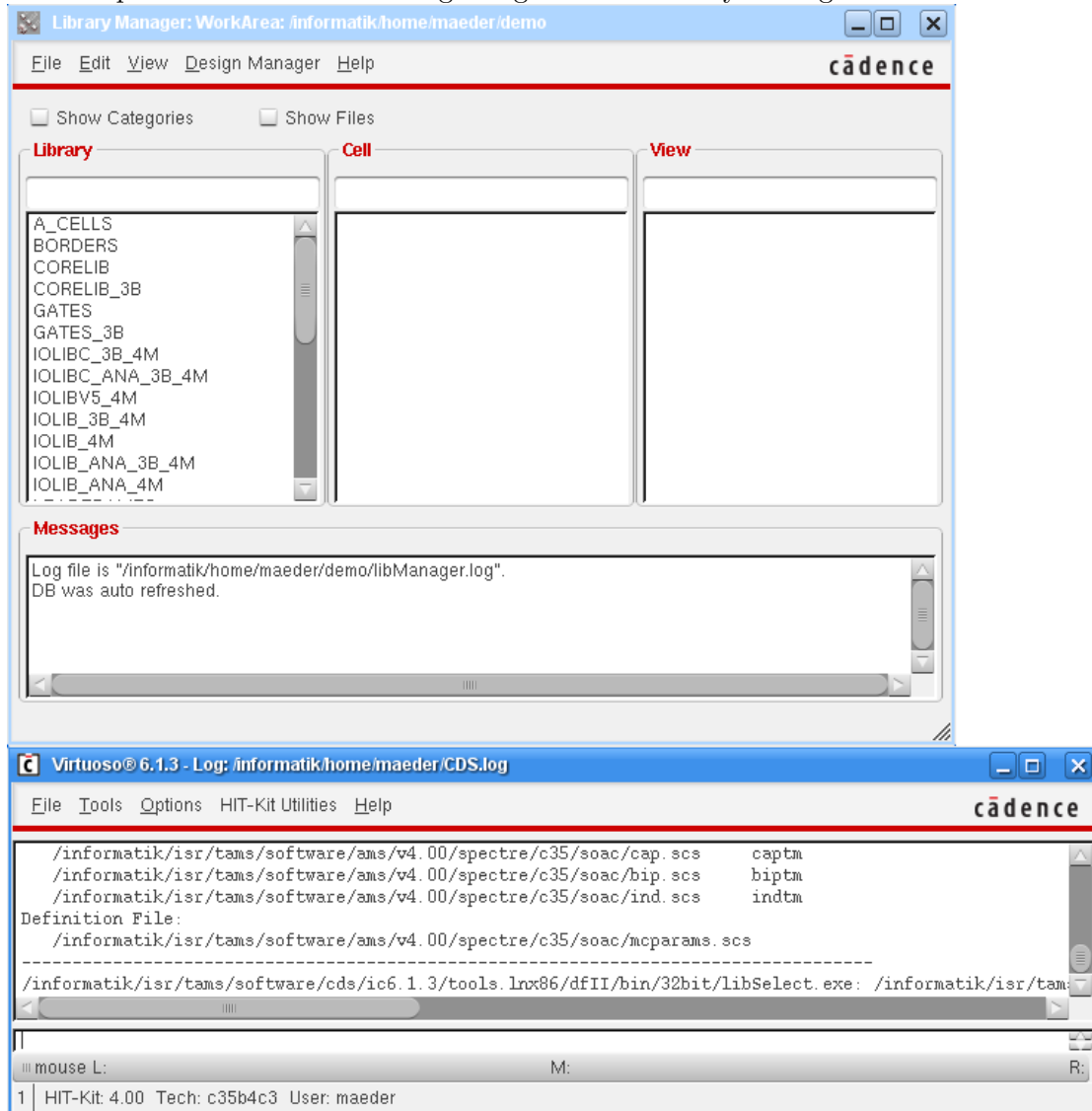
maeder on tams11: /informatik/home/maeder/demo - Befehlsfenster - Konsole
Sitzung Bearbeiten Ansicht Lesezeichen Einstellungen Hilfe
[maeder@tams11]~/demo>source ~/maeder/design.Setup
-----
design.Setup      Andreas Maeder      2009.03
SYNOPSYS [syn]      Synthesis           v2008.09, v2008.06
             [phy]      Sign-Off+phys.Implementation v2008.12, v2008.09 ...
             [sim]      Simulation (RTL)     v2008.12, v2008.09 ...
             [msil]     Simulation (mixed signal) v2008.09
             [uer]      Verification        v2008.12, v2008.09
             [lmc]      Smartmodel         v2005.09
CADENCE [ic ]      IC-Design Framework ic6.1.3, icc11.2.41
             [ldv]     Simulation, Verification ius8.1
             [soc]     Synthesis+P&R       soc7.1
             [pcb]     PCB-Design         spb16.1
Design-Kits     SYNOPSYS / CADENCE
             [ams]     +AMS HitKit        v4.00
FPGAs [alt]     QuartusII, NIOS     v9.0, v3.2
             [xill]    Alliance           v9.1i
             [info]    -information about the tools
             [none]    -reset all paths to original values
input:  ams ic
tools... -----online-doc. --version -----
AMS Hit-Kit ->amshithelp v4.00
Cadence IC-stream ->ichelp v6.1.3
             Spectre, UltraSim ->mmsimhelp ur7.1HF76
[maeder@tams11]~/demo>ams_cds -mode msfb -tech c35b4

```

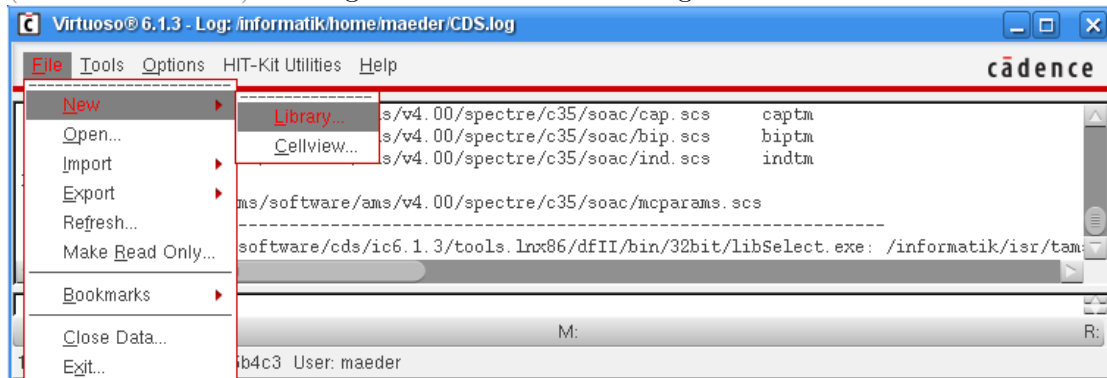
Beim ersten Aufruf wird außerdem nach der Prozessoption gefragt:

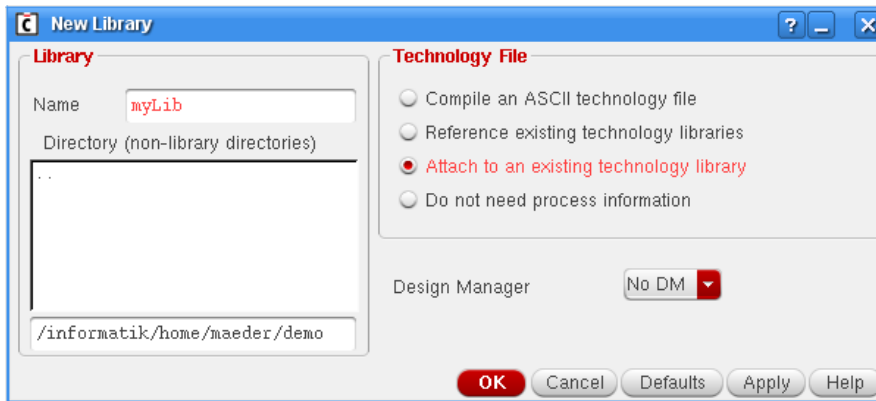


Das Hauptfenster der Entwurfsumgebung und der Library-Manager erscheinen:

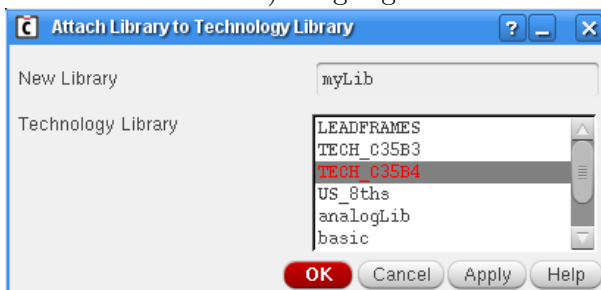


2. (beim ersten Start) Erzeugen einer Bibliothek für eigene Entwürfe:

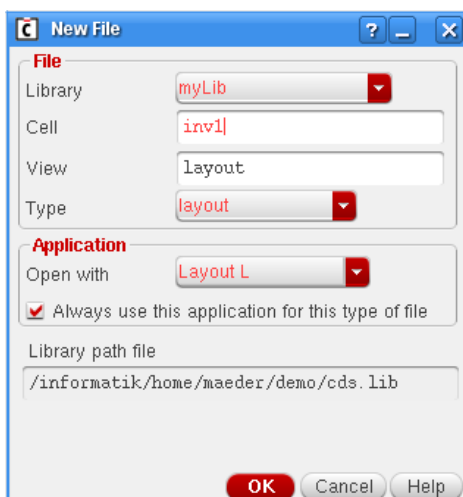
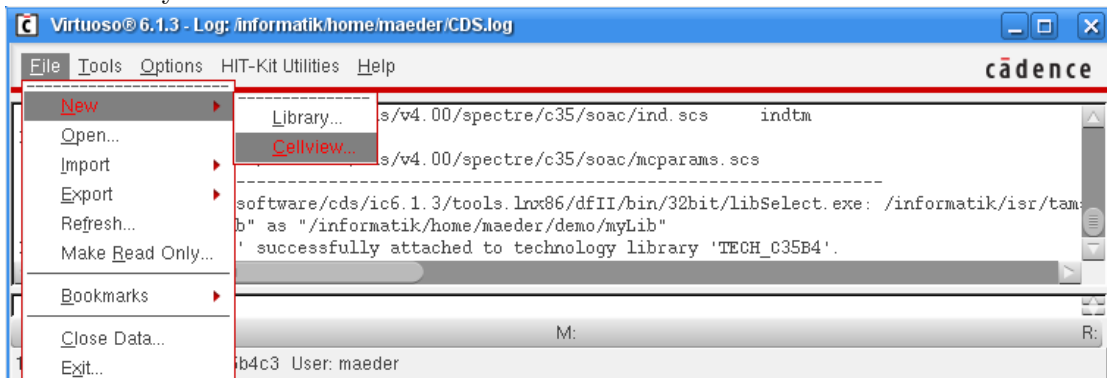




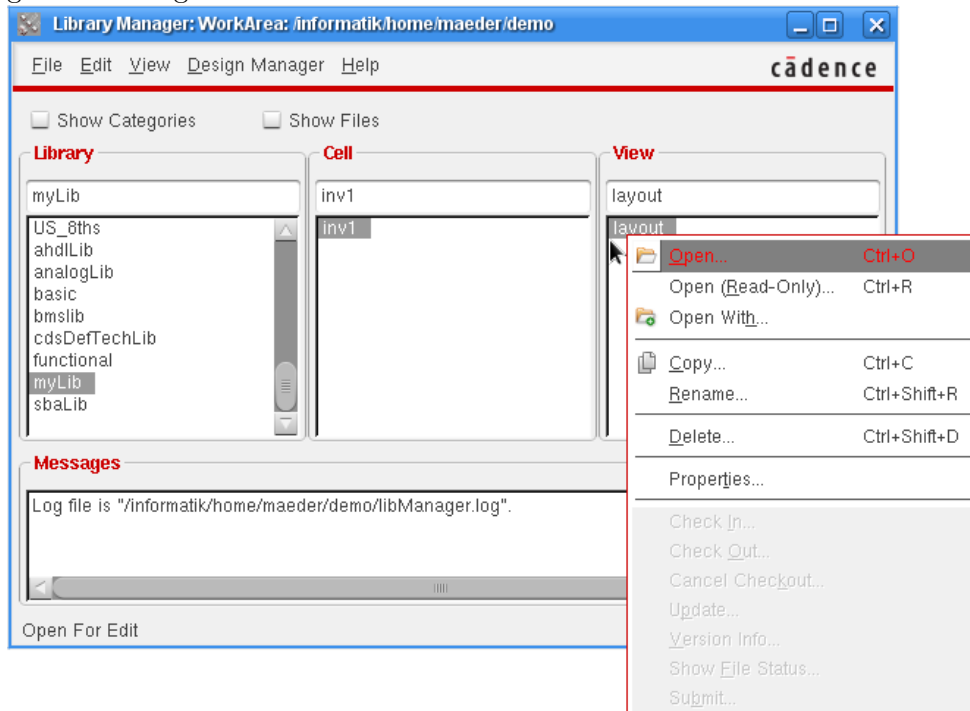
Die Bibliothek muss mit der Technologie des Herstellers verknüpft werden. Dadurch werden prozessspezifische Parameter (Definition der Layer, Regeln für Design Rule Check und Extraktion usw.) festgelegt:



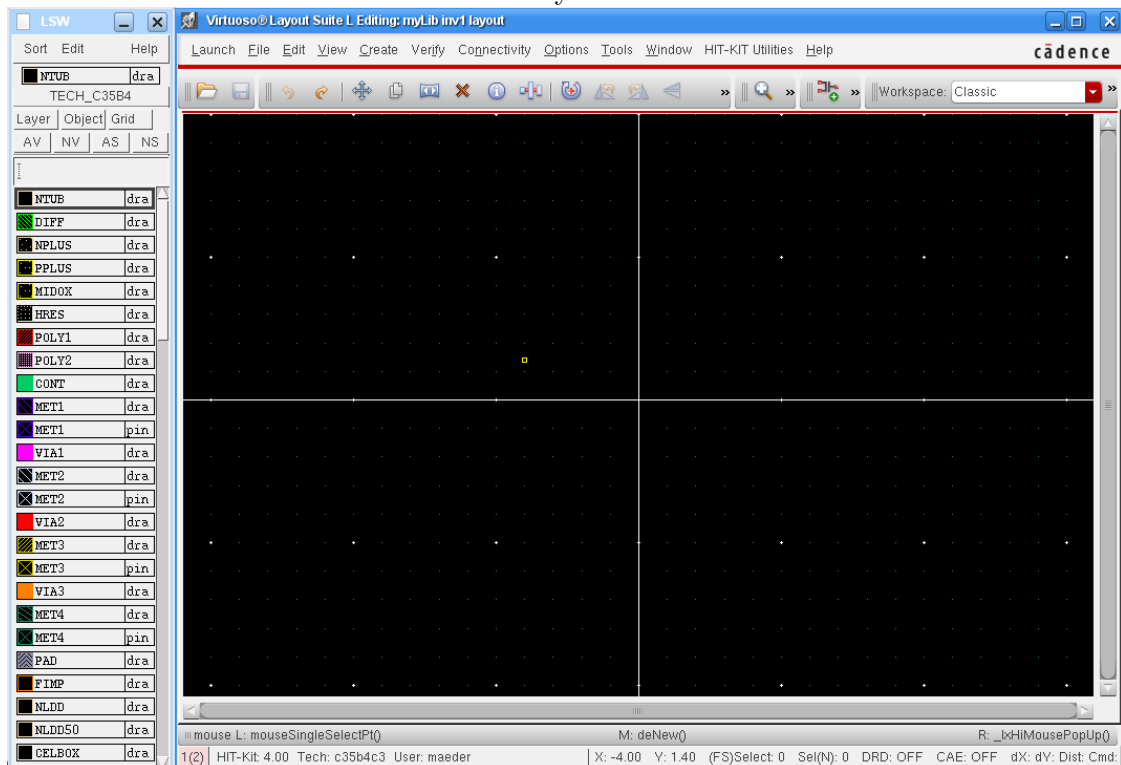
3. Start des Layout-Editors — bei neuen Entwürfen:



Schon vorhandene Entwürfe werden am einfachsten über den Library-Manager ausgewählt und geöffnet:



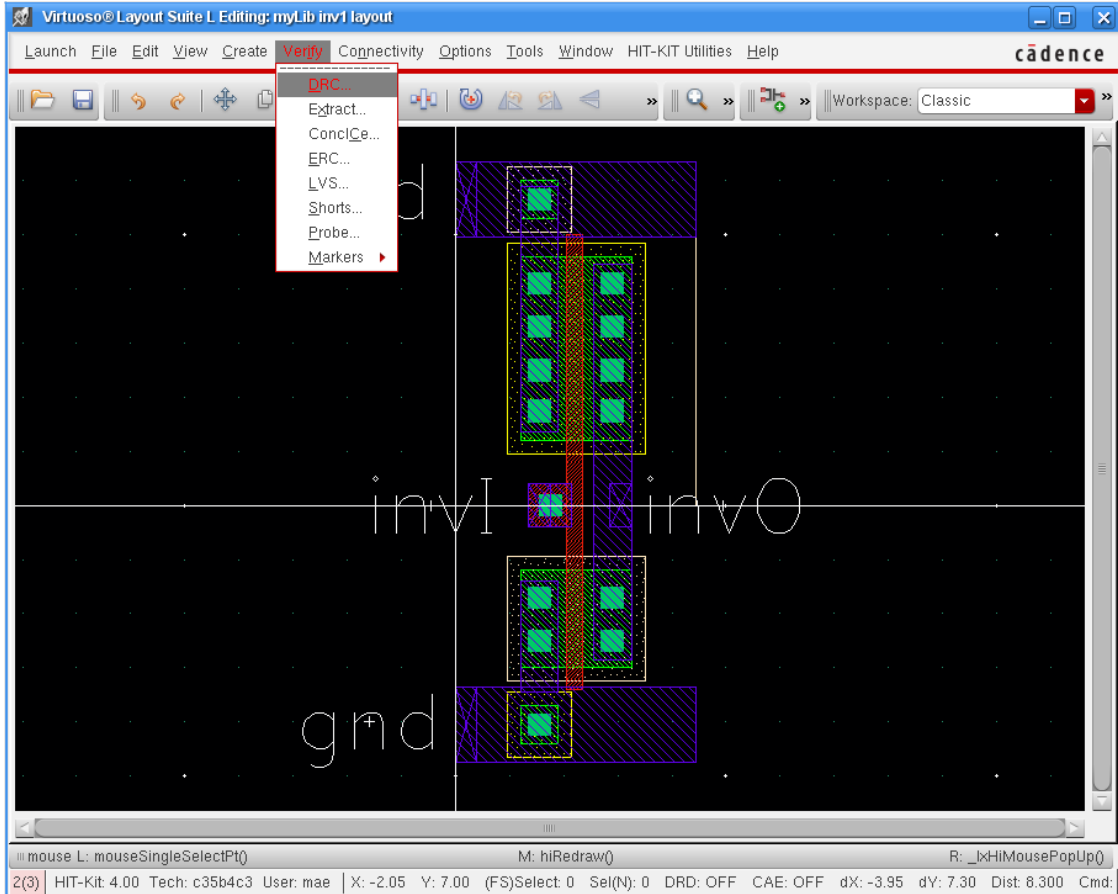
Anschließend erscheinen die Fenster des Layout-Editors:



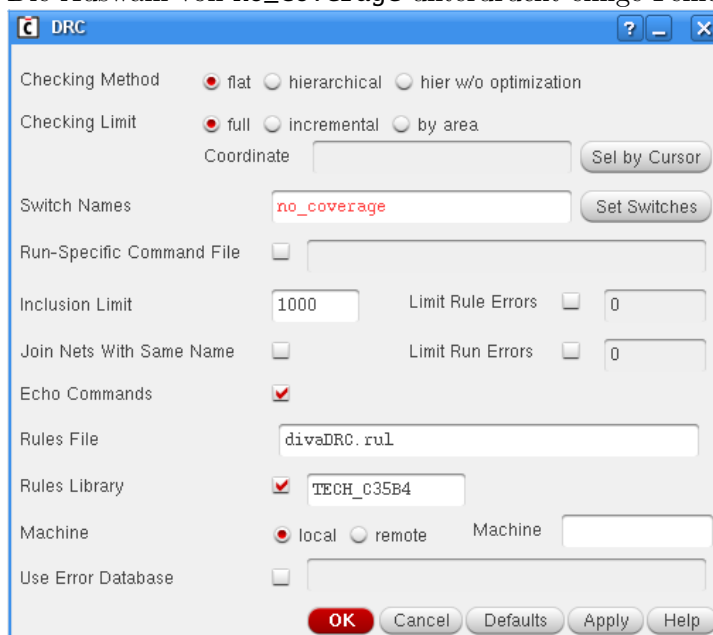
4. Layout erstellen — siehe: „CADENCE Grundlagen“, 3 Der Layout-Editor.

Design Rule Check

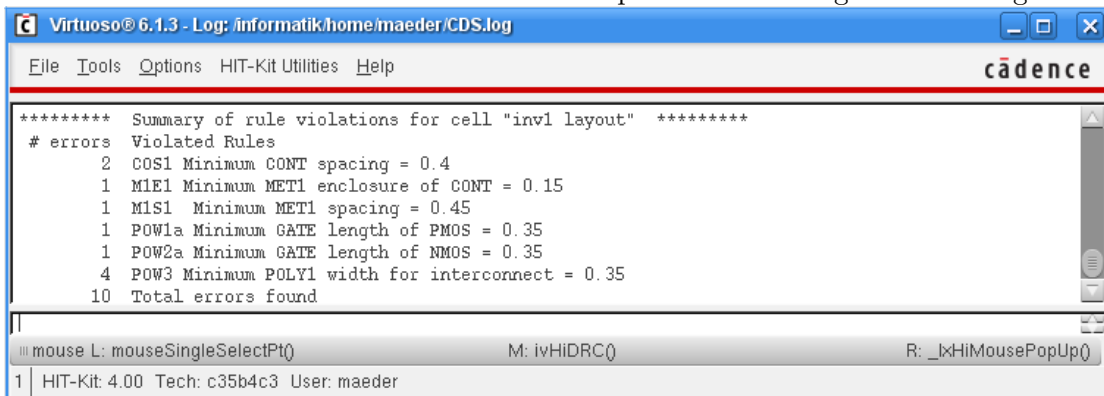
5. Der Design Rule Check (DRC) prüft für ein fertiges Layout, ob die technologiebedingten Regeln des Chipherstellers eingehalten werden:



Die Auswahl von `no_coverage` unterdrückt einige Fehlermeldungen im Layout:



Während des DRC-Laufs erscheinen in dem Hauptfenster die Ausgaben des Programms:



```

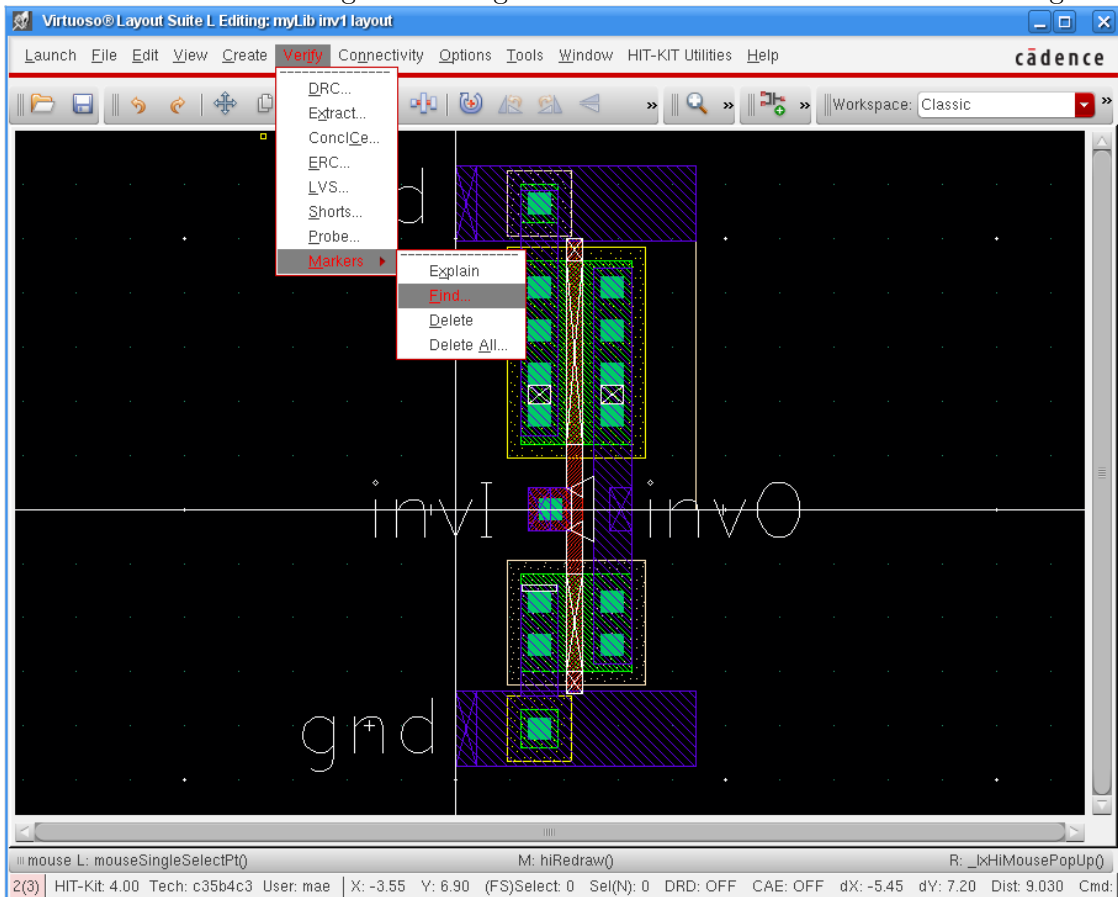
Virtuoso® 6.1.3 - Log: /informatik/home/maeder/CDS.log
File Tools Options HIT-Kit Utilities Help
cādence

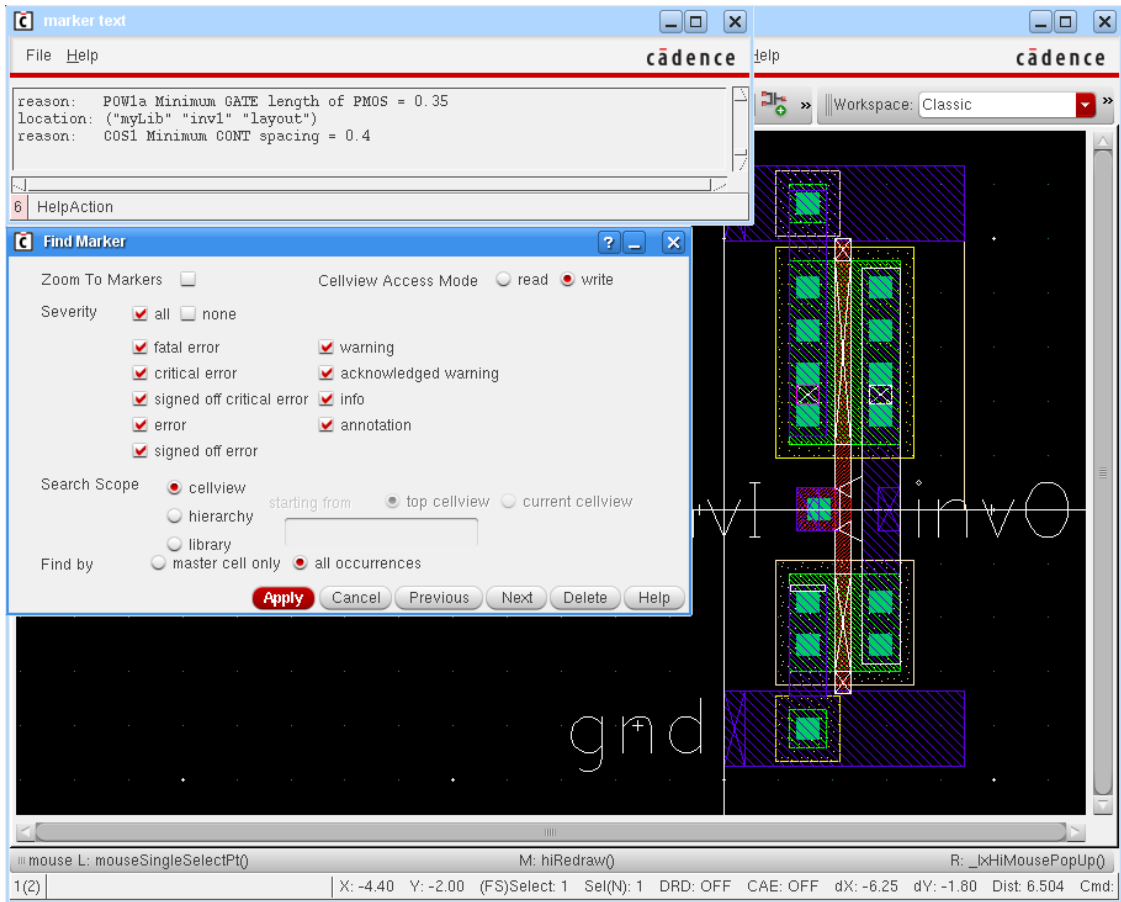
***** Summary of rule violations for cell "inv1 layout" *****
# errors Violated Rules
2 COS1 Minimum CONT spacing = 0.4
1 M1E1 Minimum MET1 enclosure of CONT = 0.15
1 M1S1 Minimum MET1 spacing = 0.45
1 POW1a Minimum GATE length of PMOS = 0.35
1 POW2a Minimum GATE length of NMOS = 0.35
4 POW3 Minimum POLY1 width for interconnect = 0.35
10 Total errors found

mouse L: mouseSingleSelectPt() M: ivHIDRC() R: _lxHiMousePopUp()
1 HIT-Kit: 4.00 Tech: c35b4c3 User: maeder

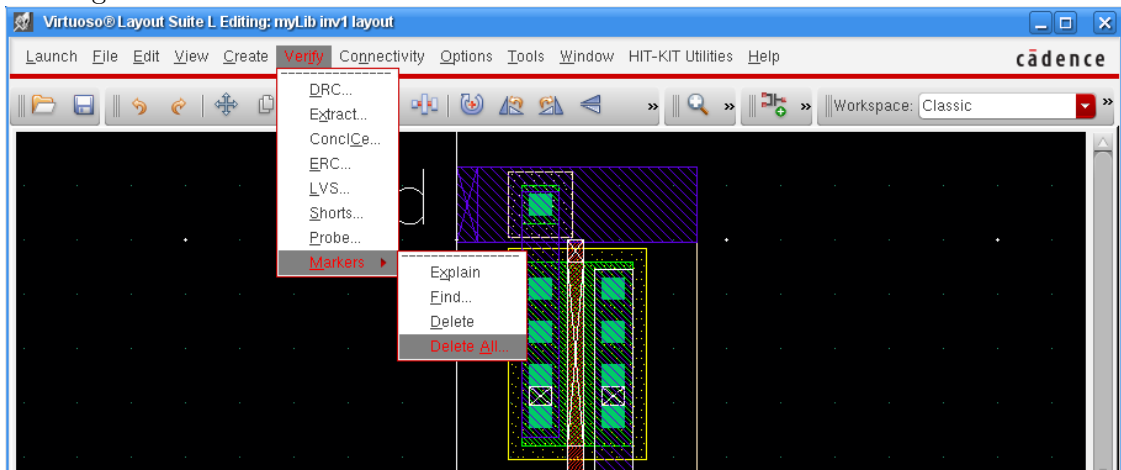
```

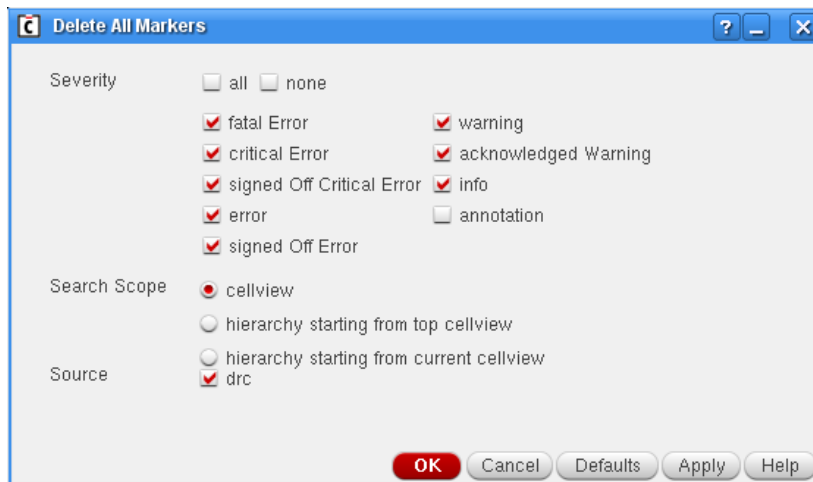
Traten DRC-Fehler auf, so werden sie mit einem speziellen Layer (blinkend) markiert. Die Größe dieser Polygone beschreibt oft schon die Regelverletzung, zum Beispiel bei Mindestabständen. Die Regelverletzungen lassen sich einzeln auswählen und anzeigen:





Bei einem erneutem DRC-Lauf, nach Layoutänderungen, werden die Marker aktualisiert. Ansonsten lassen sie sich auch manuell löschen; die dann folgende Nachfrage ist zu bestätigen:

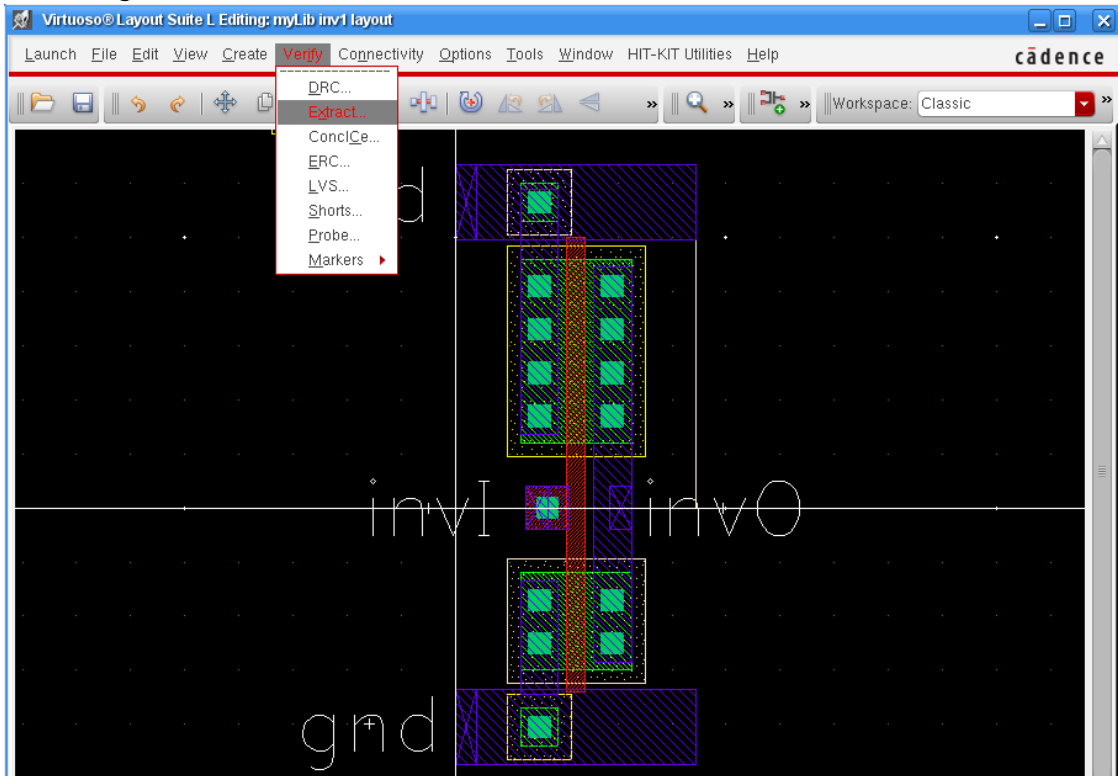




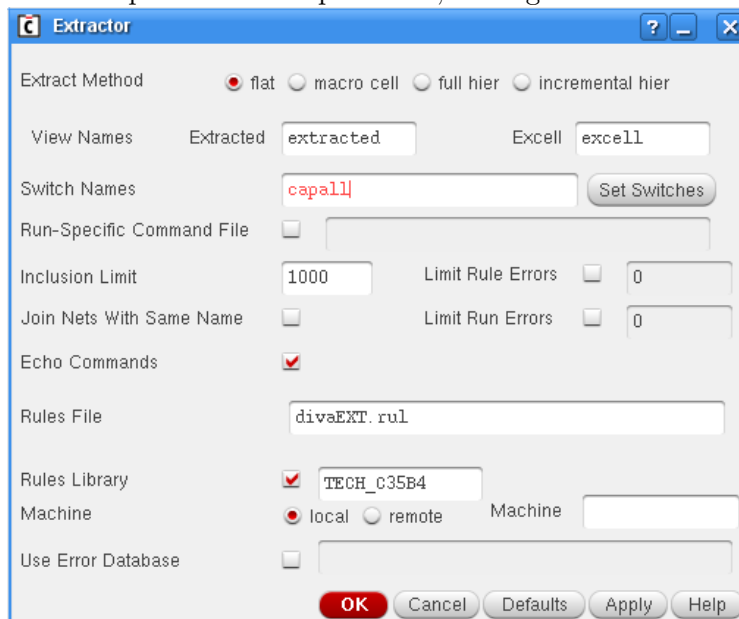
Achtung: Vor den weitem Schritten muss das Layout so lange nachgearbeitet werden, bis keine Fehler mehr vorhanden sind.

Netzlistenextraktion

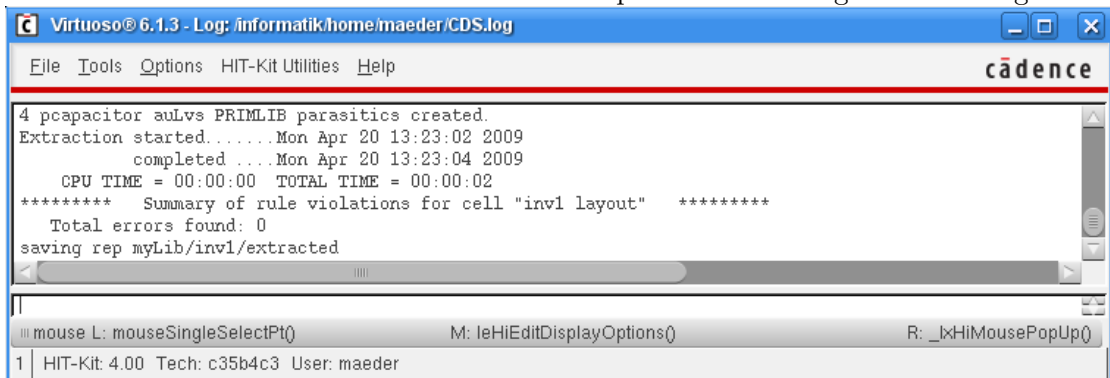
6. Voraussetzung zur Extraktion der elektrischen Netzliste ist die Kennzeichnung aller Anschlüsse als Pins — dieser Schritt ist in der Beschreibung des Layout-Editors dokumentiert (3.8 Hierarchie). Die Spannungsversorgung wird mit den reservierten Bezeichnern `vdd` und `gnd` markiert:



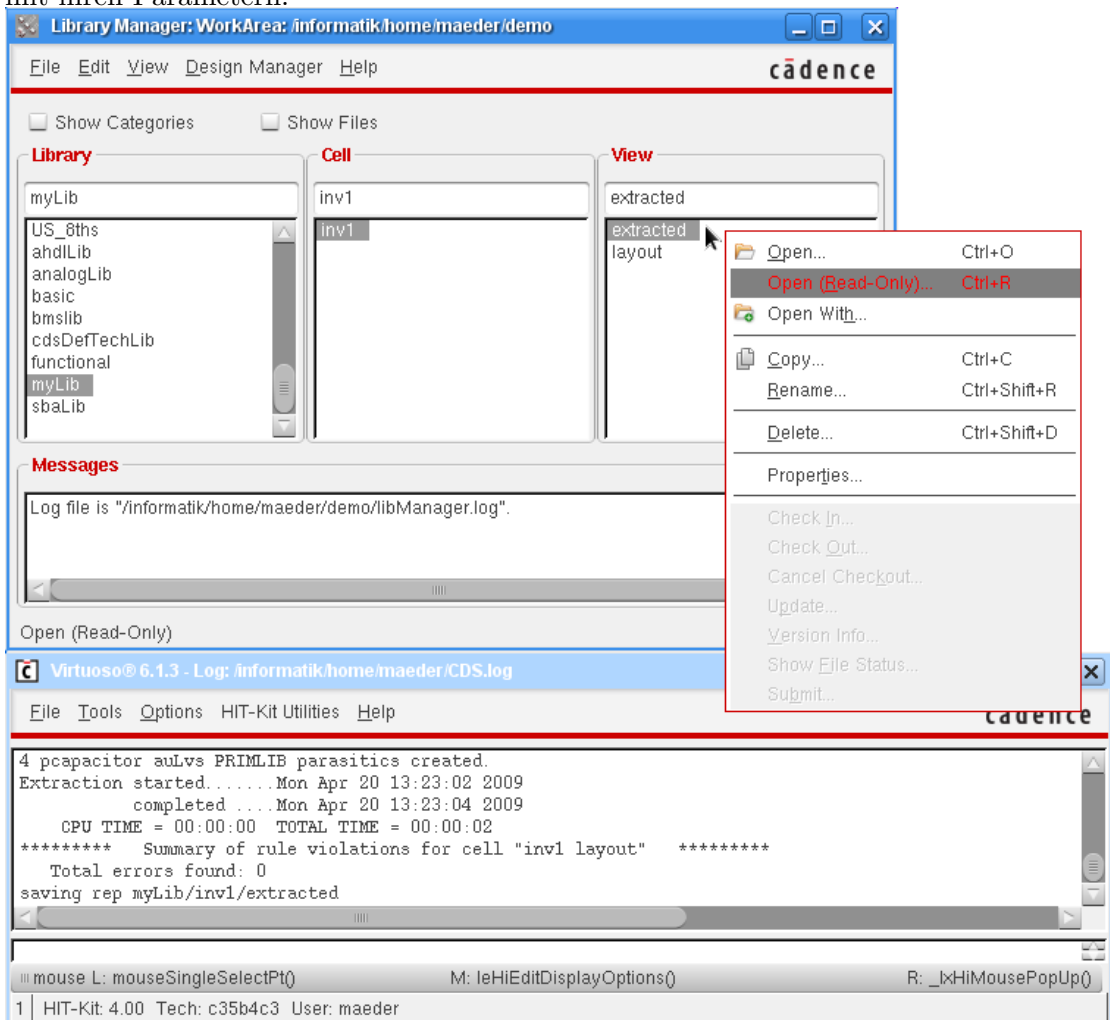
Für eine möglichst genaue Simulation wird eine vollständige Netzlistenextraktion, inklusive aller parasitären Kapazitäten, durchgeführt:

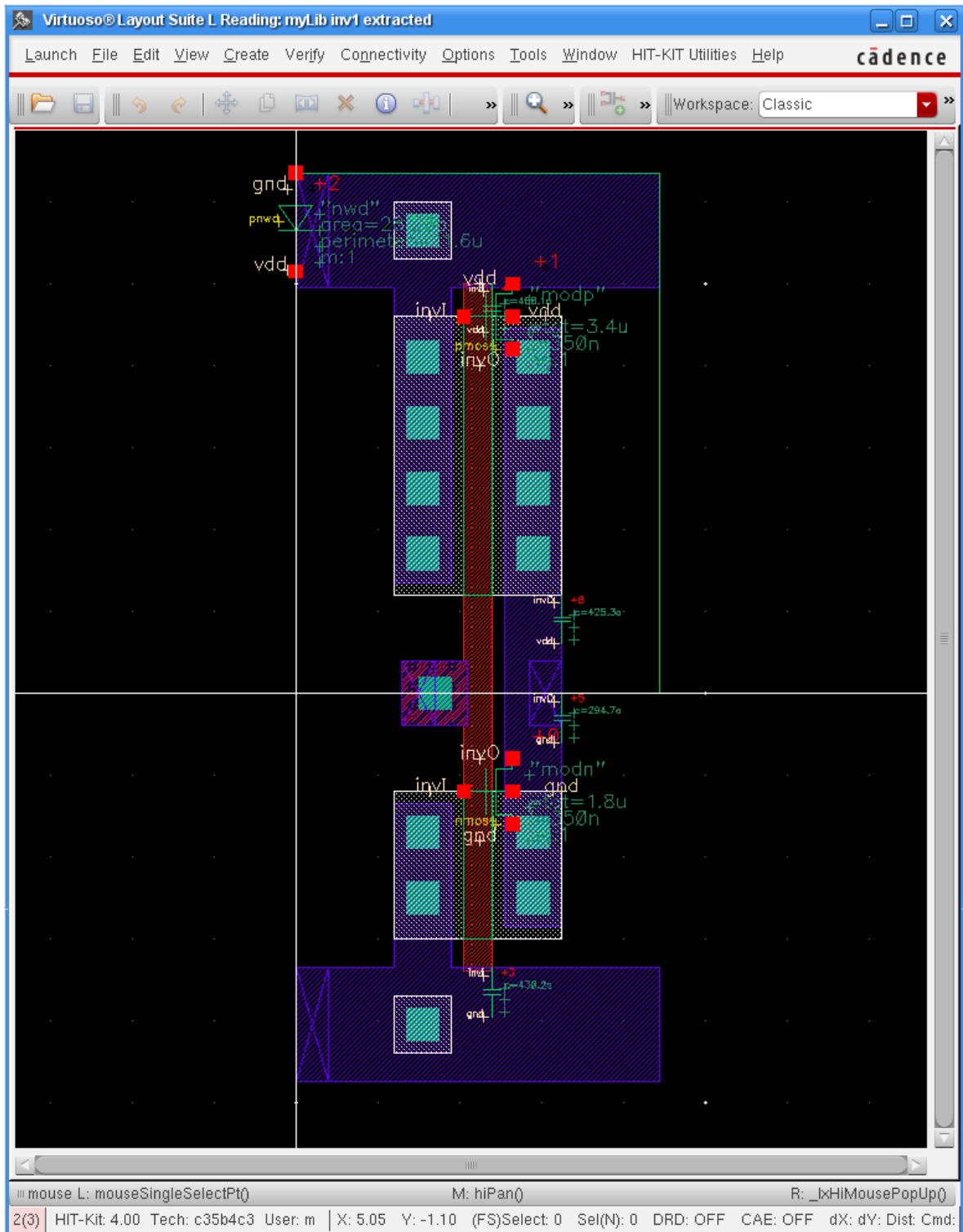


Während der Extraktion erscheinen in dem Hauptfenster die Ausgaben des Programms:



7. (optional) Anschließend kann das Ergebnis angesehen werden. In der **extracted**-View sieht man das zugrundeliegende Layout und die Netzliste der extrahierten Komponenten mit ihren Parametern:

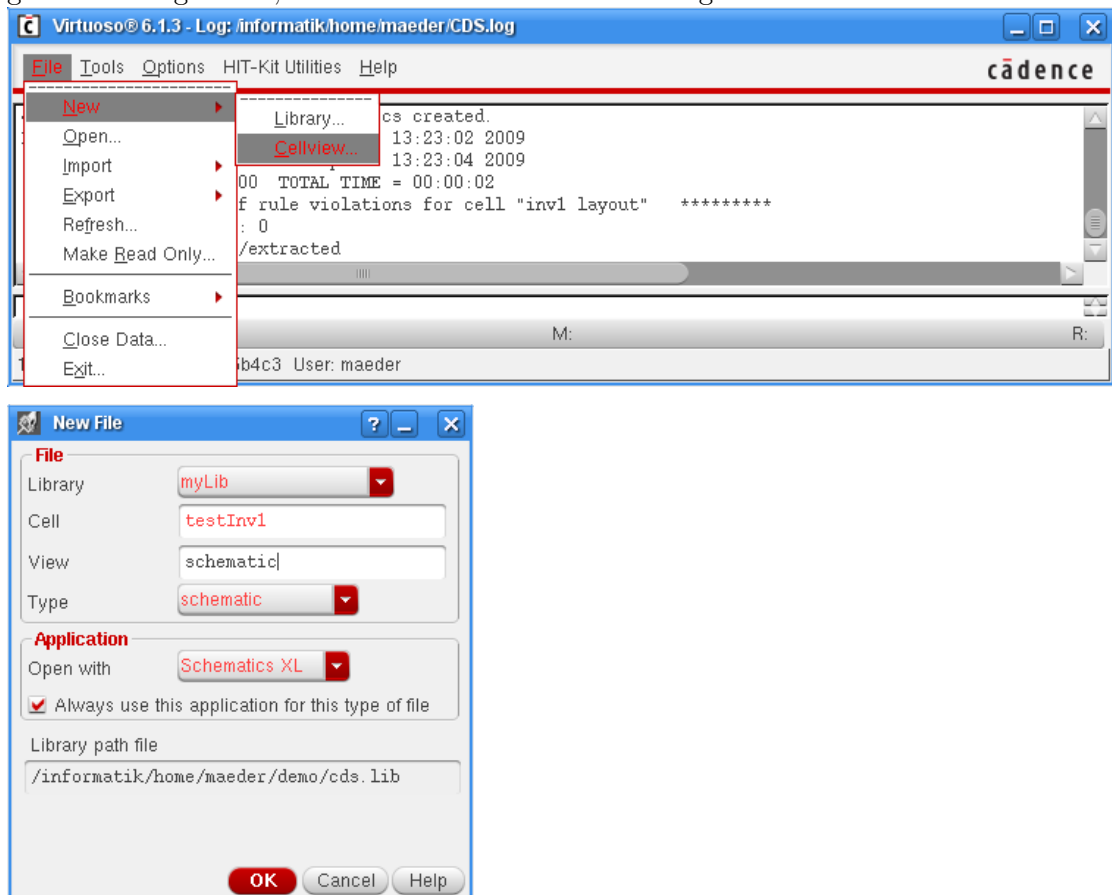




Aufbau einer Testumgebung

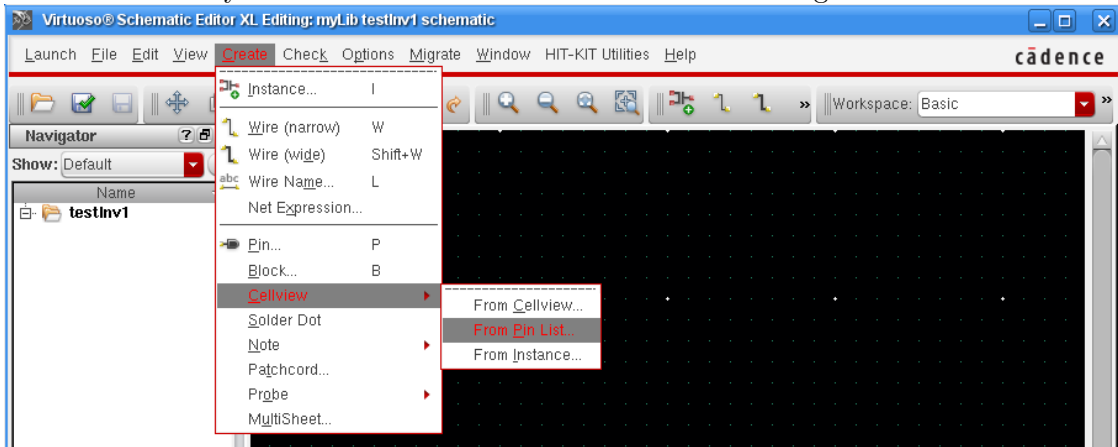
8. Start des Schematic-Editors um eine Testumgebung aufzubauen. Für die spätere Simulation treibt die Testumgebung die Eingänge der Schaltung mit entsprechenden Quellen und simuliert externe Lasten an den Ausgängen.

Schon vorhandene Entwürfe werden am einfachsten über den Library-Manager ausgewählt und geöffnet, während man neue Entwürfe folgendermaßen erstellt:

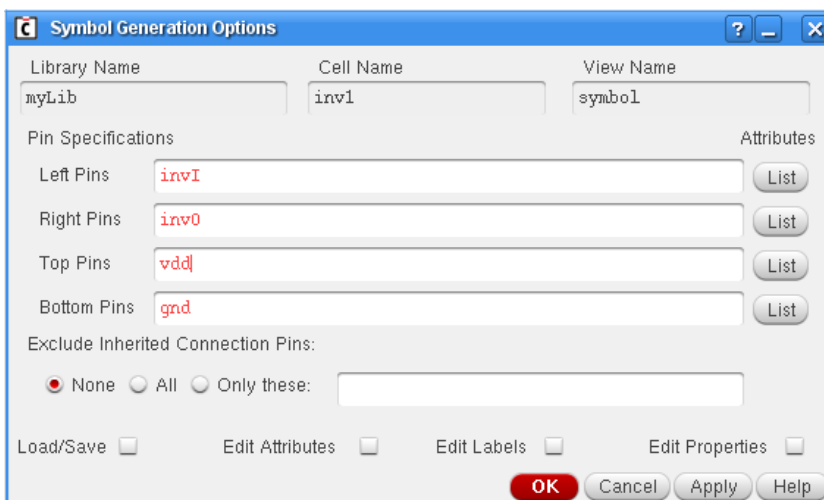
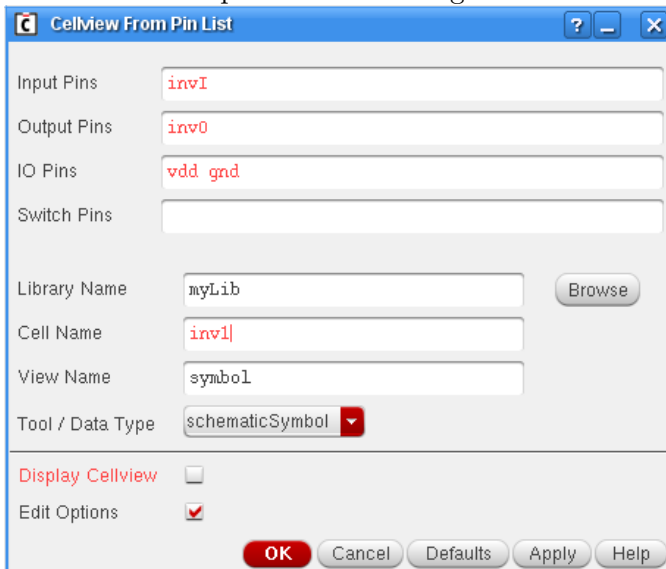


Achtung: die Testumgebung muss anders heißen als das zu simulierende Layout, schließlich soll eine neue Hierarchieebene erzeugt werden, die das Layout (die zu simulierende extrahierte Netzliste) referenziert!

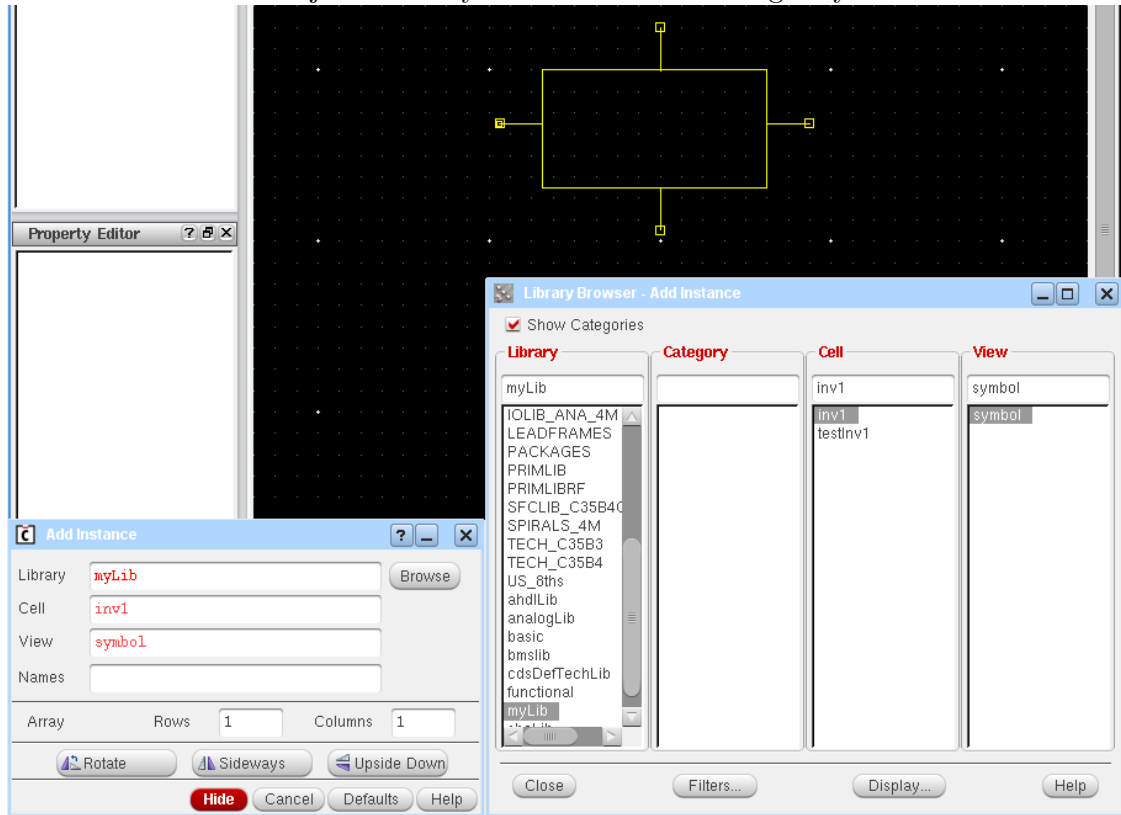
9. Zuerst wird ein Symbol als Schnittstelle zum Schematic-Editor generiert:



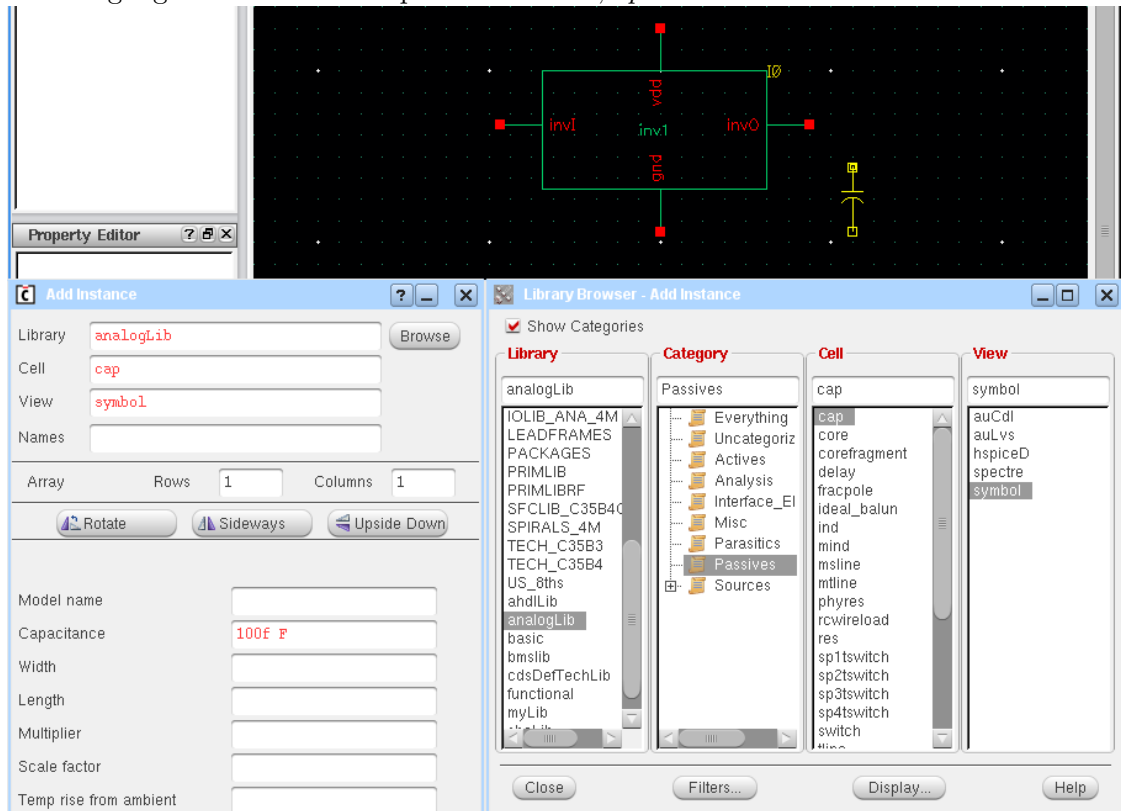
Dabei müssen die Bezeichner der Pins mit denen des Layouts übereinstimmen. Zusätzlich wird in dem Beispiel die Anordnung der Pins über die Eingabemaske variiert:



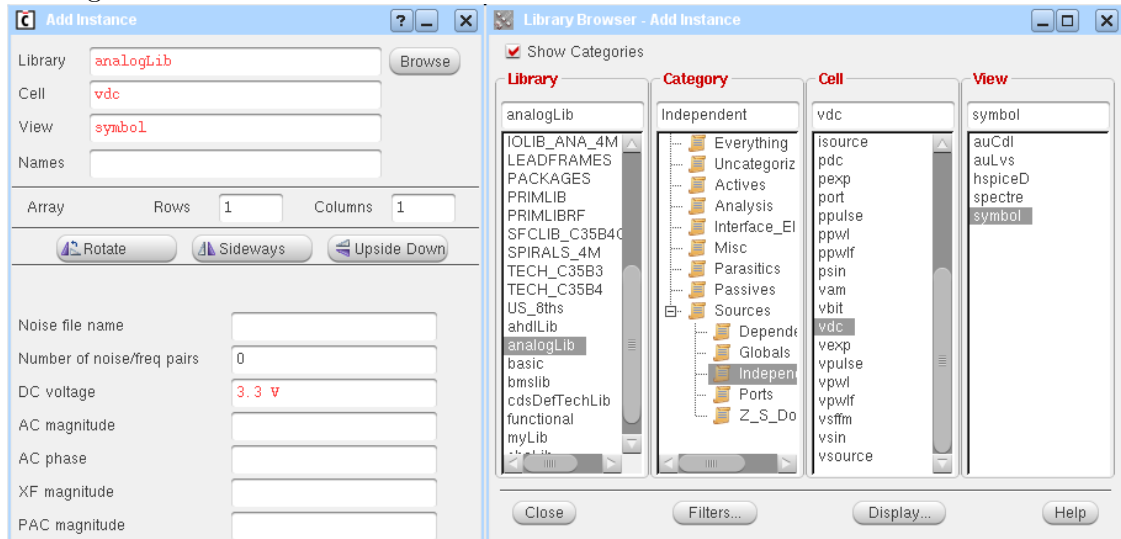
10. Design der Testumgebung — siehe: „CADENCE Grundlagen“, 4 Der Schematic-Editor. In dem Schematic wird jetzt das Layout über das neu erzeugte Symbol referenziert:



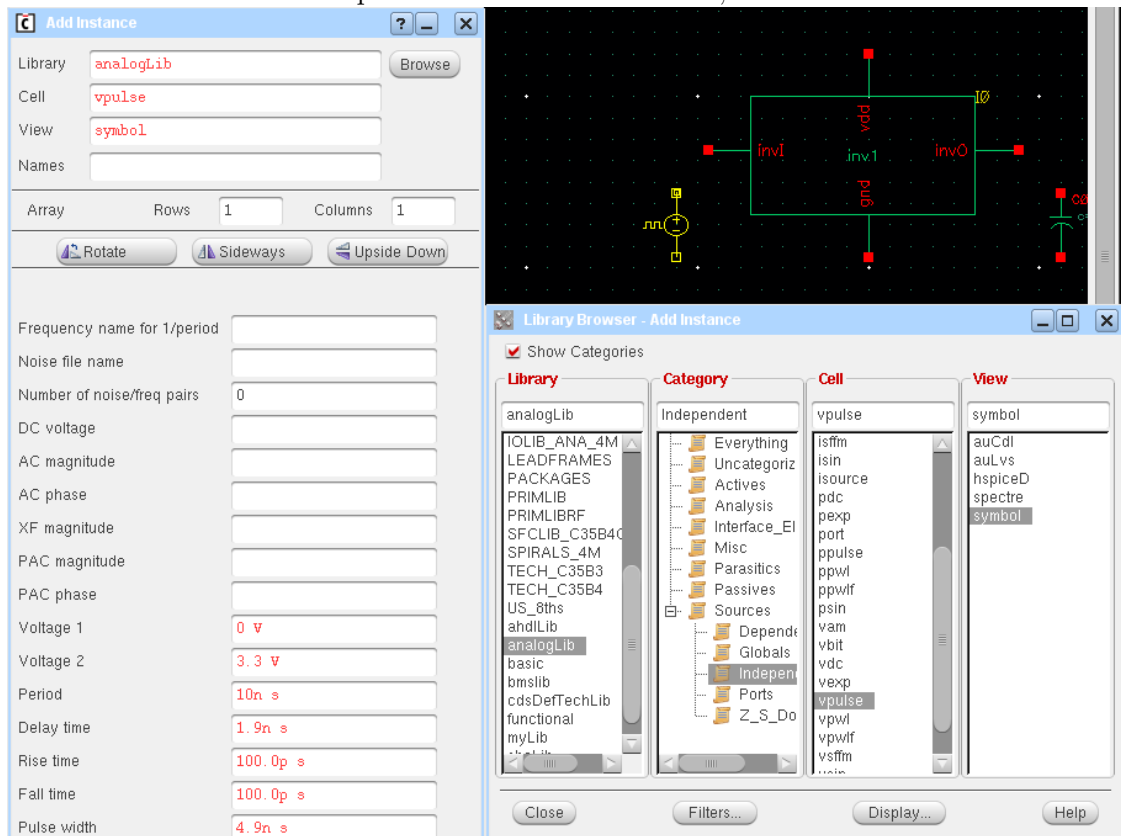
Als Ausgangslasten werden Kapazitäten von $0,1\text{ pF}$ benutzt:



Eine Gleichspannungsquelle treibt die Versorgungsspannung `vdd` und `gnd`; für die Simulation werden zusätzlich die entsprechenden Symbole aus der Bibliothek `analogLib` benötigt:



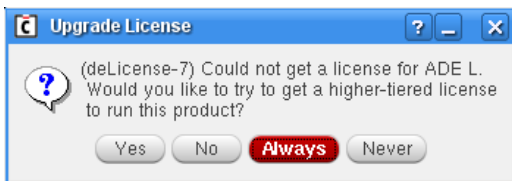
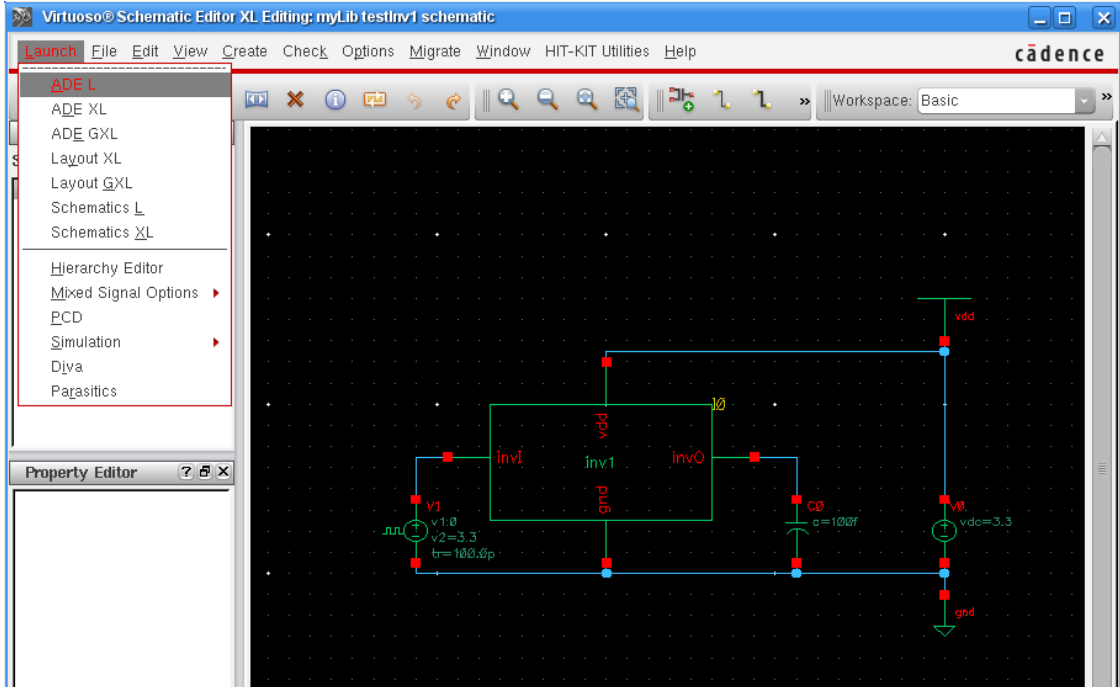
Eingangssignale können beispielsweise durch pulserzeugende Spannungsquellen modelliert werden — in dem Beispiel mit 10 ns Periode und $0,1\text{ ns}$ Flankensteilheit:



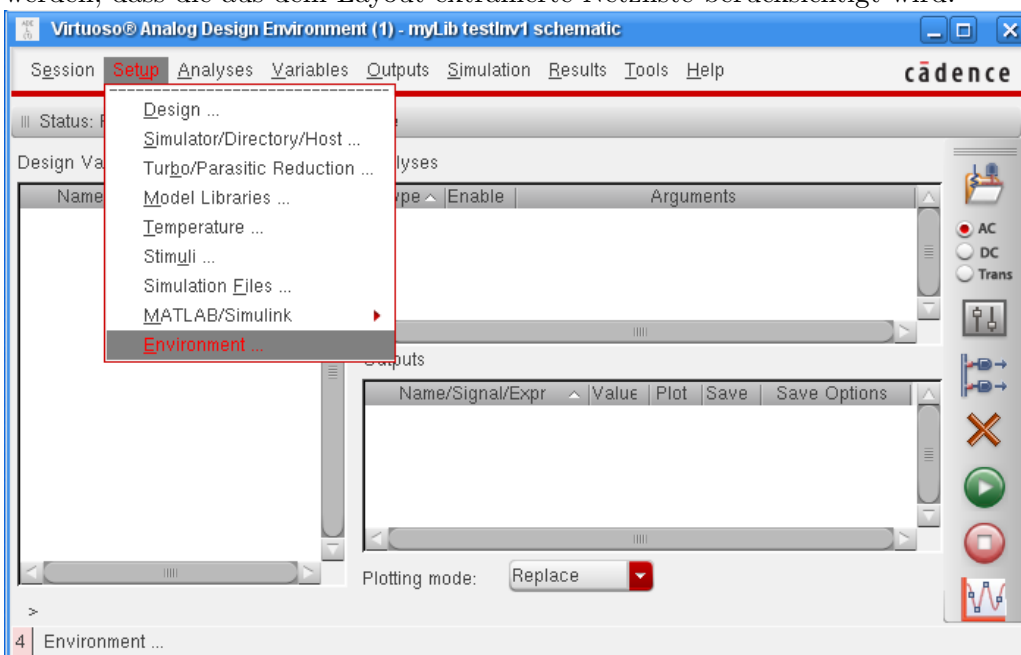
Nachdem alle Komponenten miteinander verbunden sind, wird die Schaltung gesichert; dabei sollte auch gleich ein Schematic Rule Check durchgeführt werden.

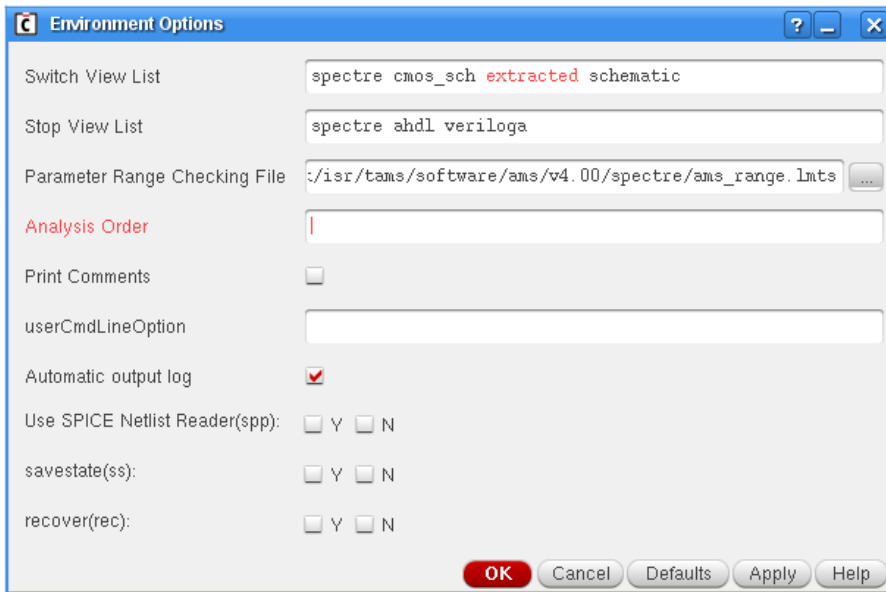
Simulation der Schaltung

11. Initialisierung der Simulationsumgebung „ADE L“; die Frage nach der Lizenz ist zu bestätigen:

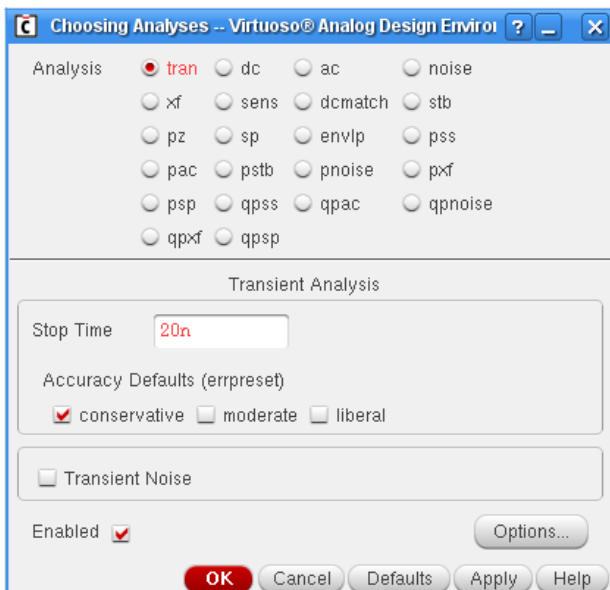
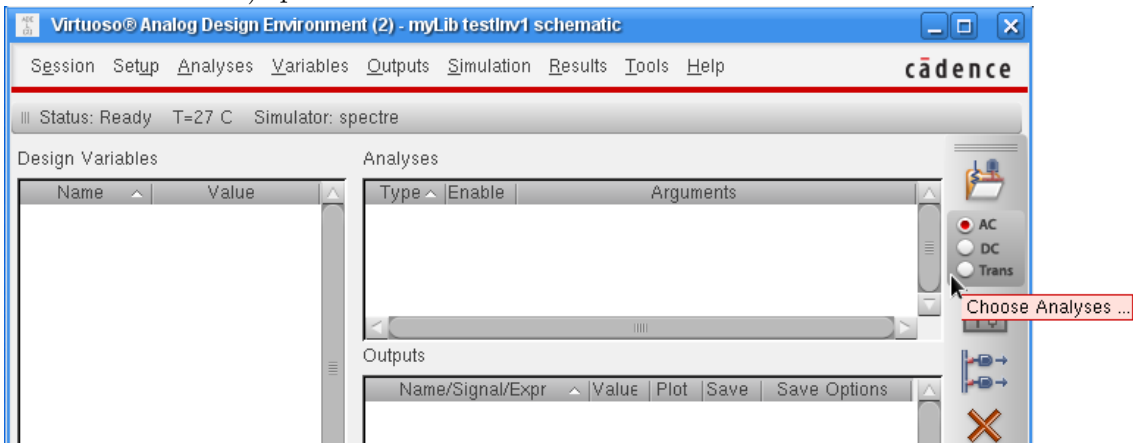


Anschließend muss die Konfiguration für die spätere Netzlistengenerierung so geändert werden, dass die aus dem Layout extrahierte Netzliste berücksichtigt wird:

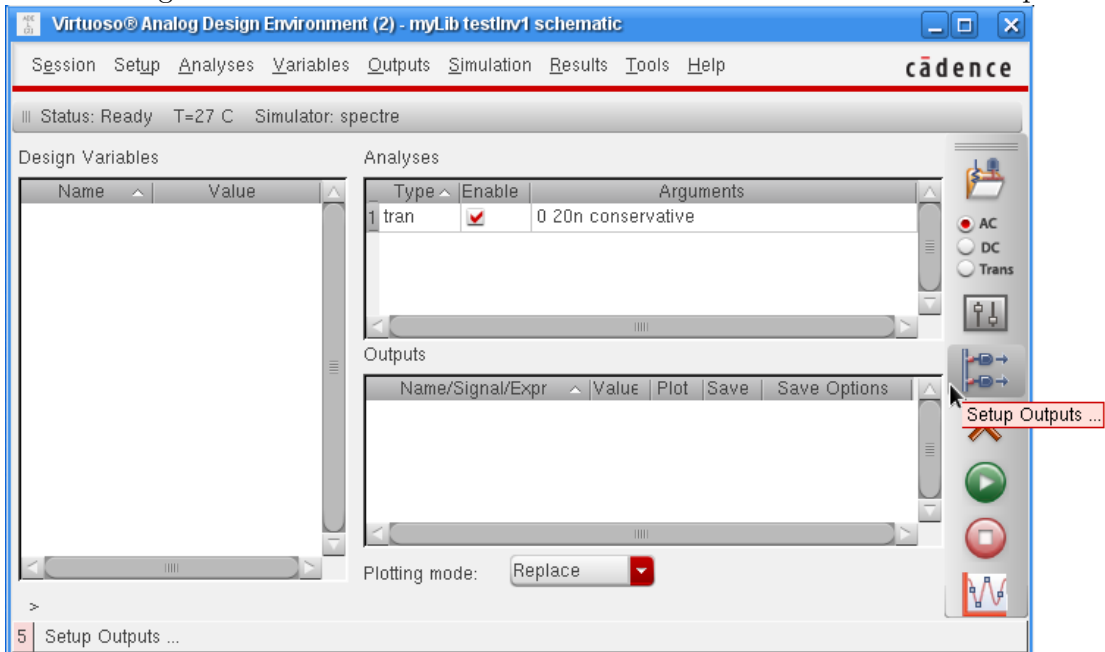




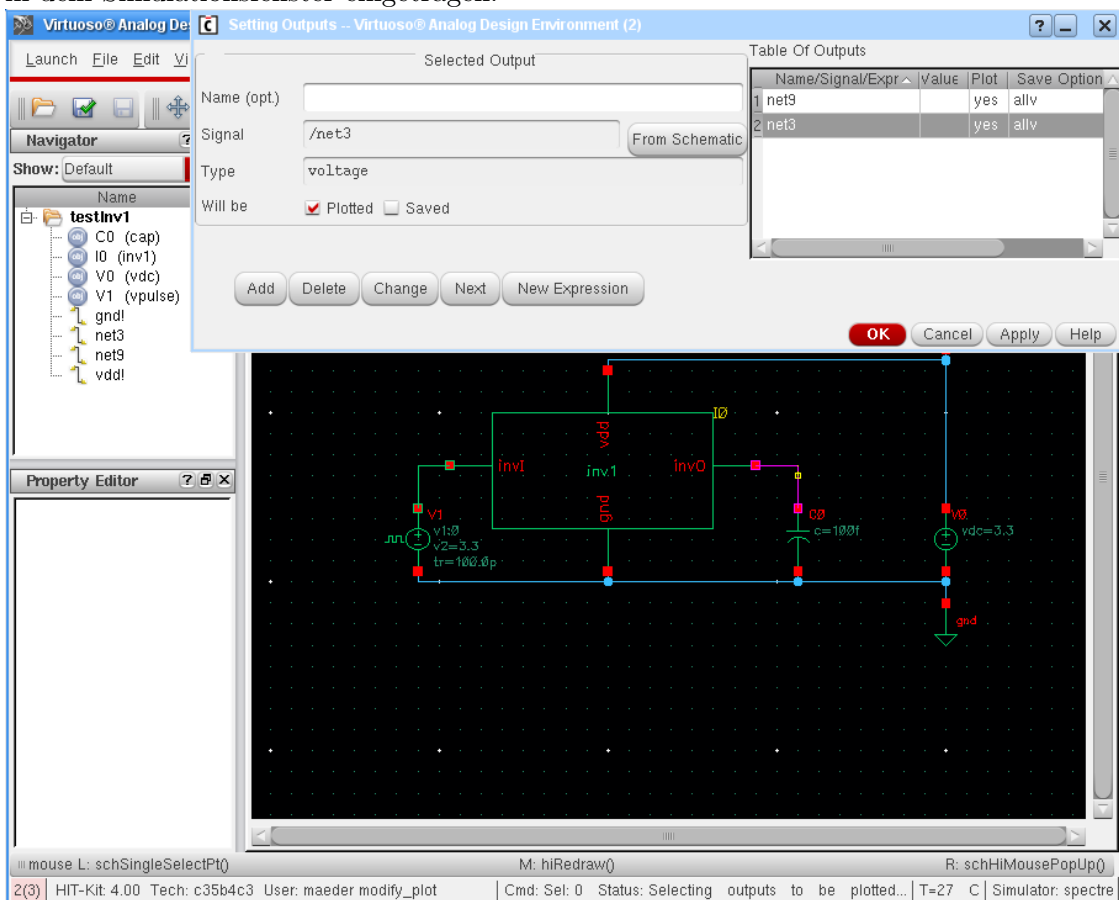
12. Dann werden die Art der Simulation und der zu simulierende Zeitraum (in dem Beispiel: $20\text{ ns} = 2$ Perioden) spezifiziert:



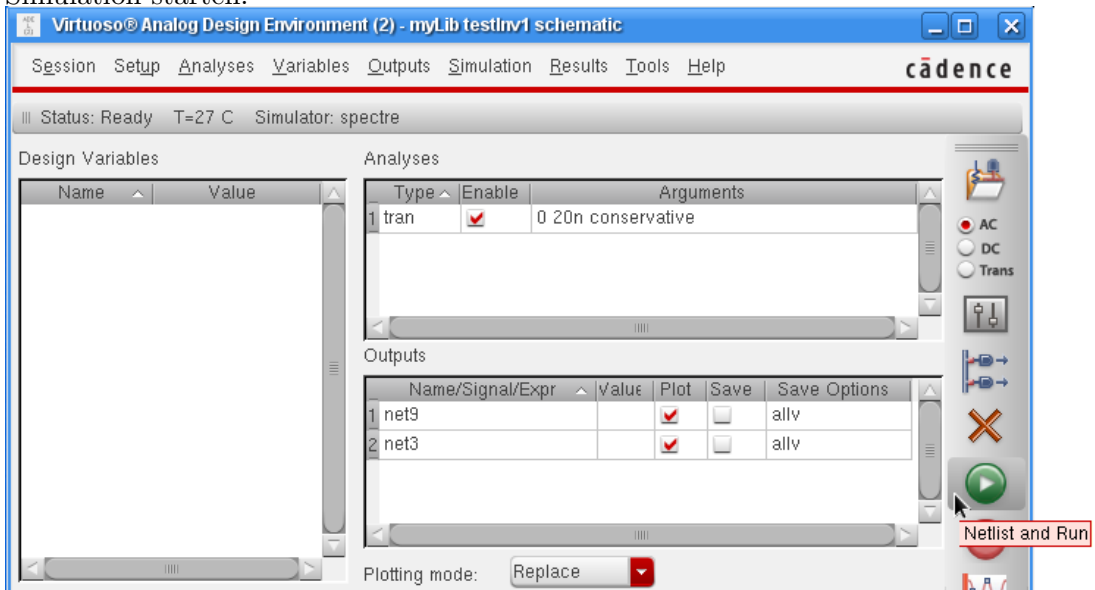
13. Vor der Simulation müssen noch die Signale ausgewählt werden, die geplottet werden sollen. Dies geschieht am einfachsten durch Auswahl der Netze in in dem Schaltplan:



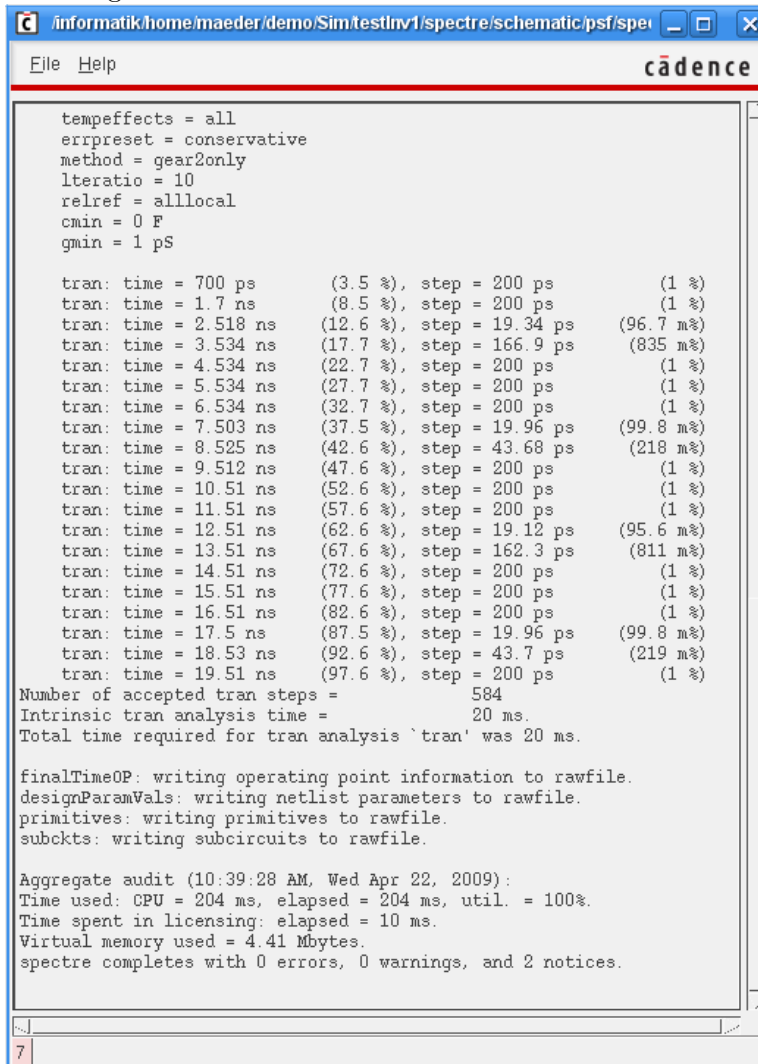
Die dabei selektierten Netze werden im Schematic farbig markiert und ihre Bezeichner in dem Simulationsfenster eingetragen:



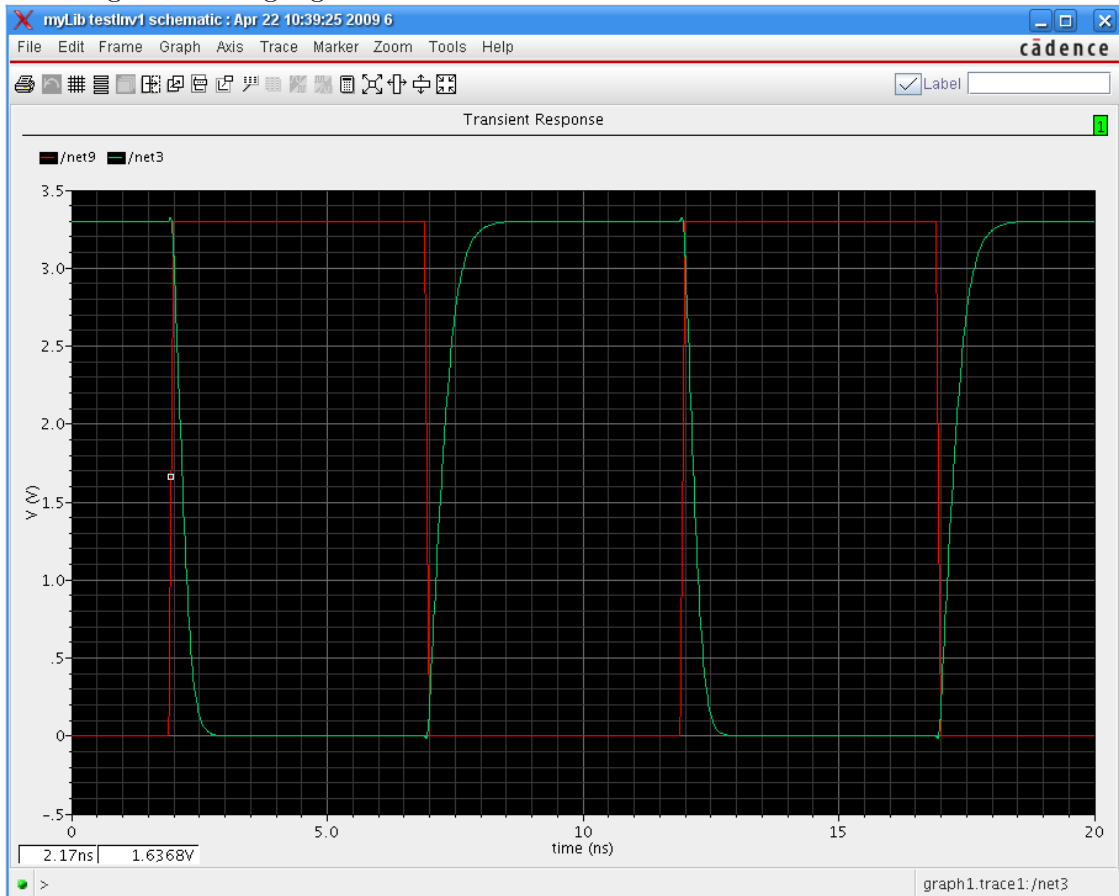
14. Simulation starten:



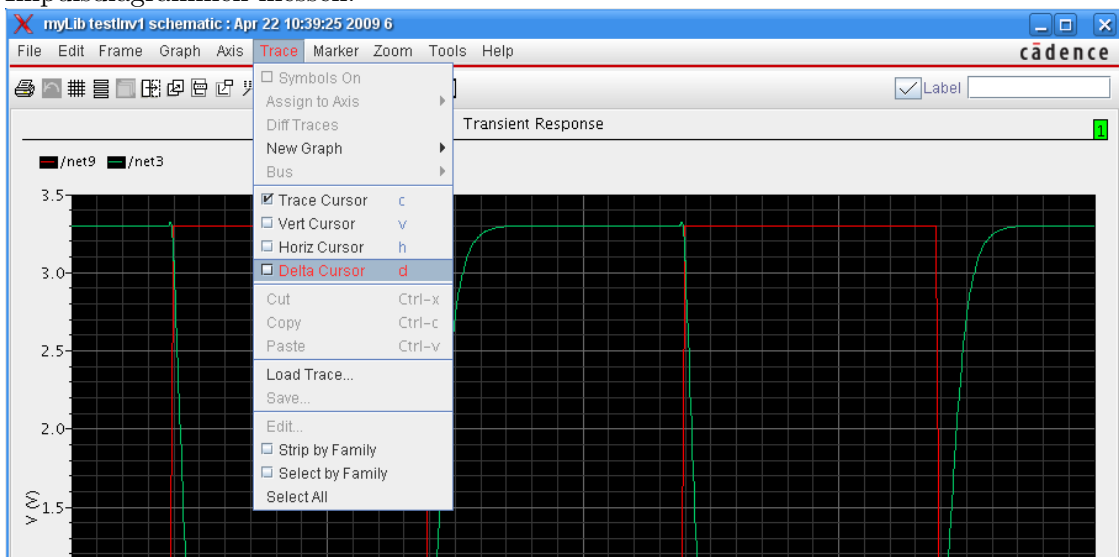
Die Ausgaben des Simulators erscheinen in einem extra Textfenster:

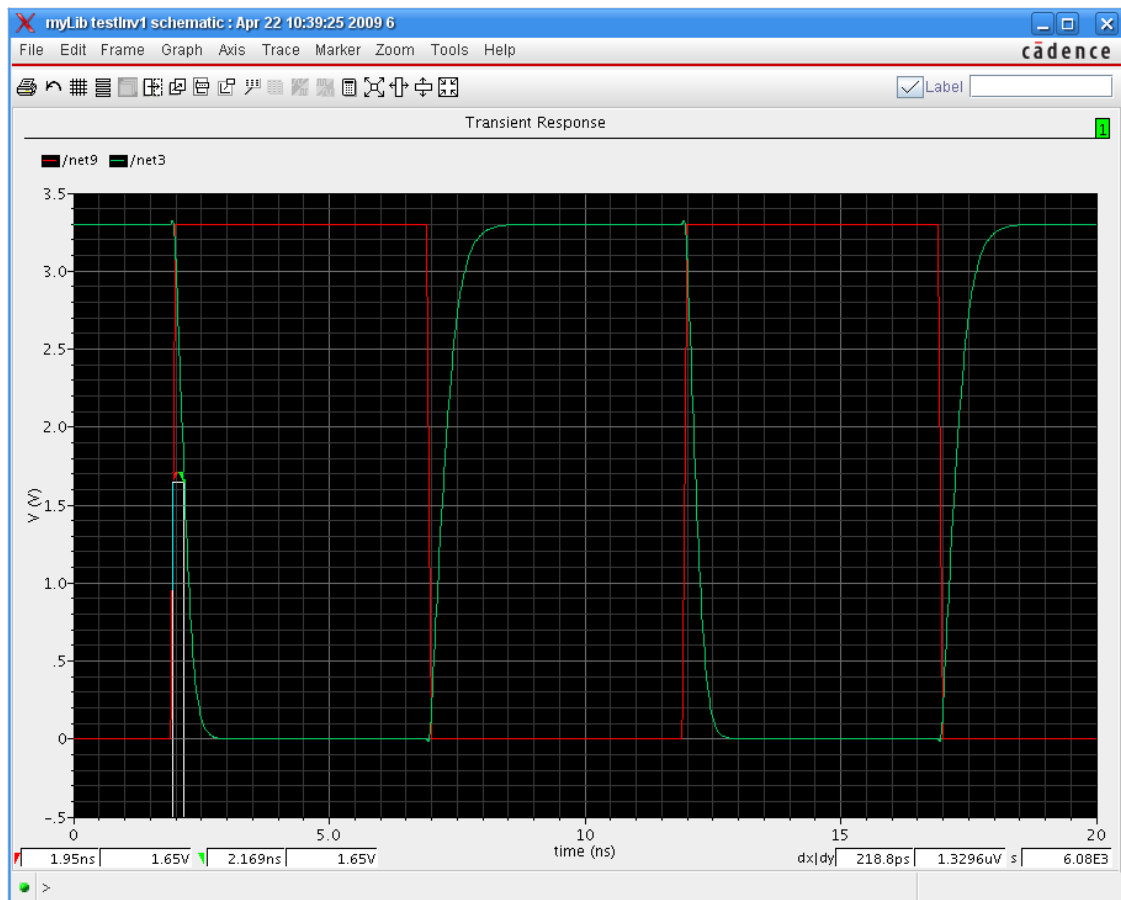


15. Nach dem Abschluss des Simulationslaufs zeigt ein Fenster die zuvor selektierten Signale an. Zur Interpretation der Ergebnisse stehen hier Marken, Zoomfunktion und Analysewerkzeuge zur Verfügung:



So lassen sich beispielsweise Zeiten und Spannungen mit Hilfe von Markern auf den Impulsdigrammen messen:

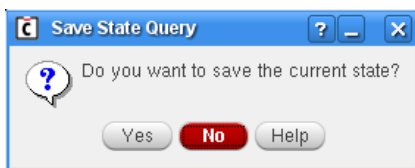
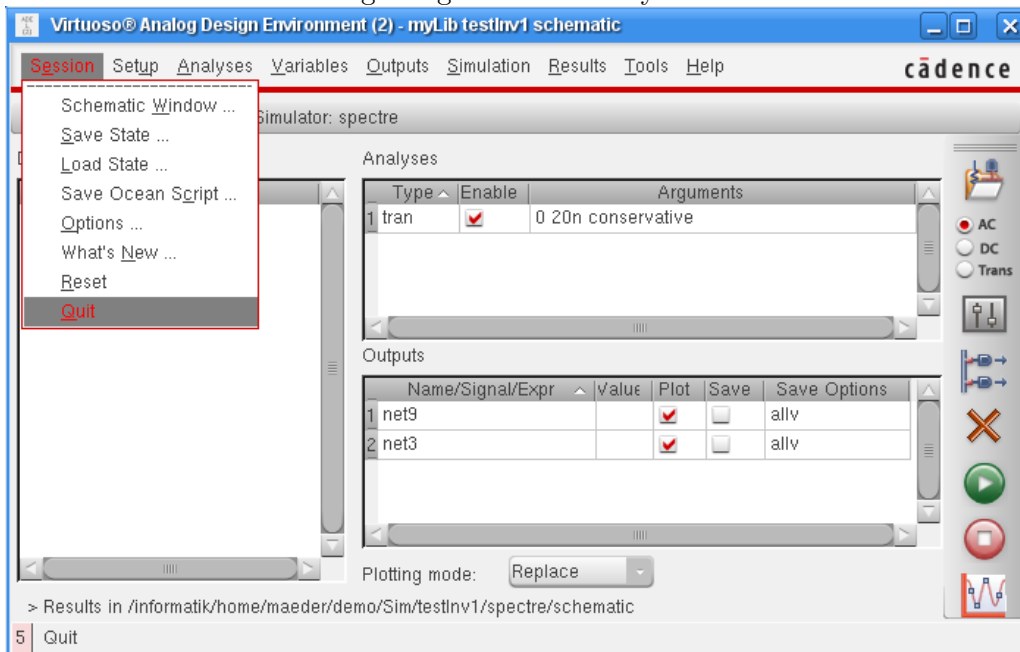




Zeigt die Simulation ein „falsches“ Verhalten, dann müssen folgende Schritte wiederholt werden:

- 3./4. Änderung des Layouts
5. Design Rule Check
6. Netzlistenextraktion
14. danach kann die Simulation erneut gestartet werden

16. Beenden der Simulationsumgebung nach der Analyse:



17. ... fertig — CADENCE IC-Design verlassen:

