

Layoutsynthese

Werkzeuge : CADENCE IC-Design / Analog Design-Environment
Design-Kits : AMS Hit-Kit
designSetup : ic_ams



Diese Beschreibung ist als Ergänzung zu „Full-Custom Design“ gedacht. Während dort ein bottom-up Vorgehen zugrundeliegt, findet die Layoutsynthese top-down statt, indem aus einer Transistornetzliste – als Schematic – mit Hilfe (teil-)automatischer Syntheseschritte ein Full-Custom Layout erzeugt wird. Der Entwurfsablauf ist dabei durch folgende Schritte charakterisiert:

1. Eingabe der Transistornetzliste mit dem Schematic-Editor
2. Aufbau einer Testumgebung
3. Simulation der Schaltung — diese besteht dabei nur aus Transistoren!
4. Netzliste aus parametrisierbaren Transistoren erzeugen
5. Platzierung der Komponenten
6. Verdrahtung
7. Nachbearbeitung des Layouts
8. Kontrolle durch einen Design Rule Check
9. Extraktion der elektrischen Netzliste
10. Simulation der Schaltung — der extrahierte Netzliste aus: Transistoren, Kapazitäten, Dioden...

Netzlisteneingabe

1. Initialisierung der Shell und Start des Systems:

```

maeder on tams85: /home/tams_1/maeder/demo - Befehlsfenster - Konsole
Sitzung Bearbeiten Ansicht Lesezeichen Einstellungen Hilfe
[maeder@tams85]~/demo>source ~/maeder/design.Setup
-----
design.Setup          Andreas Maeder          2005.01

SYNOPSYS  [syc | syn] Synthesis, Verification    v2003.06 / v2004.06
          [vss | vcs] Simulation tools          v2001.09 / v7.2
          [lmc] [hsp] Smartmodel / HSpice         v2004.12 / v2004.09
          [lay] Layout-Simulation             v2004.12      ...

CADENCE   [ic | ic2] IC-Design Framework    ic5.0.33 / ic4.4.2 ...
          [ldv] Simulation, Synth., Verif.    ldv5.1        ...
          [soc] SoC Encounter: Synthese+P&R    soc3.3        ...
          [pr] Placement & Routing          se5.4         ...
          [pcb] PCB-Design              psd15.1

Design-Kits          SYNOPSYS / CADENCE
          [ams] +AMS HitKit                v3.60
          [es2] +ES2 CDK                    v5.2.0

FPGAs    [alt] QuartusII, NIOS          v4.0,      v3.2
          [xil] Alliance              v6.3.01i

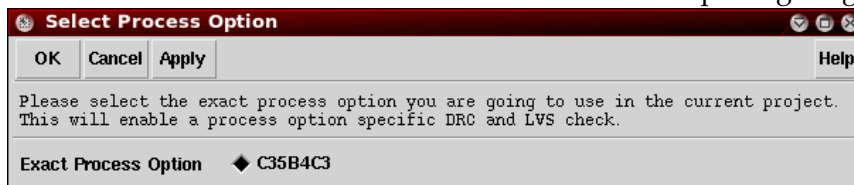
          [info] -information about the tools
          [none] -reset all paths to original values

input:    ams ic
--tools... -----online-doc. --version -----
-
AMS       Hit-Kit                ->amshithelp v3.60
Cadence   IC-stream                 ->ichelp     v5.0.33USR2
          Assura: drc, lvs, extract ->asshelp    v3.1.2
          IC-Craftsman              v11.1
          Neockt: circuit sizing/opt. ->neohelp    v3.1
          SubstrateStorm            ->snahelp    v3.2
          UltraSim                  v4.1
          Aptivia                    v3.3

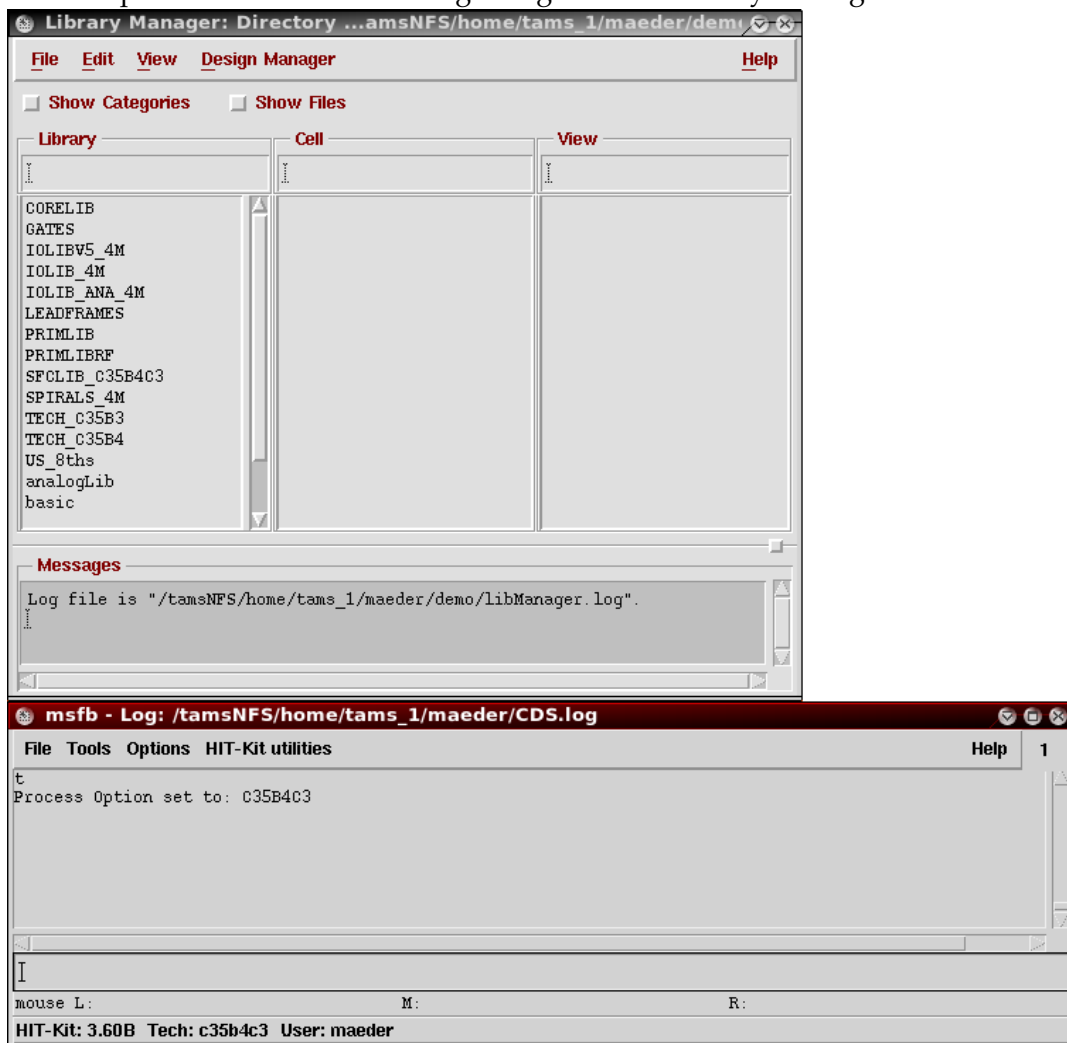
[maeder@tams85]~/demo>ams_cds -mode msfb -tech c35b4

```

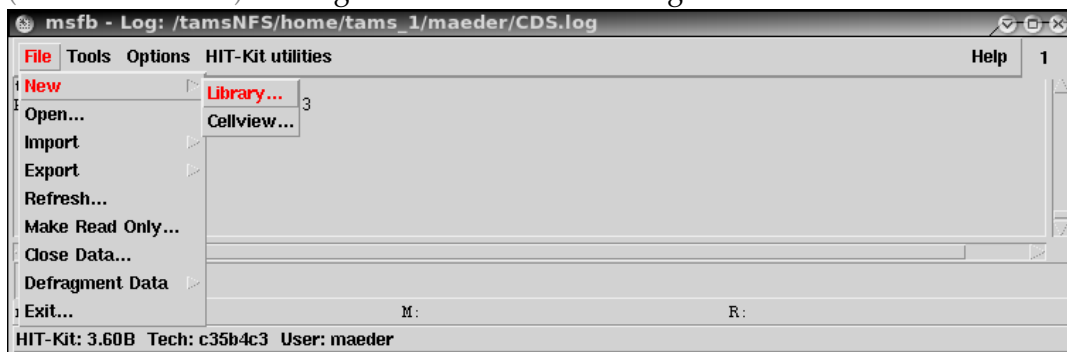
Beim ersten Aufruf wird außerdem nach der Prozessoption gefragt:

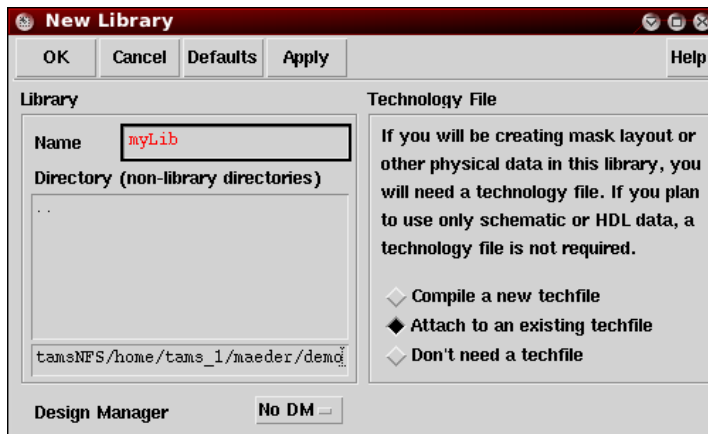


Das Hauptfenster der Entwurfsumgebung und der Library-Manager erscheinen:



2. (beim ersten Start) Erzeugen einer Bibliothek für eigene Entwürfe:

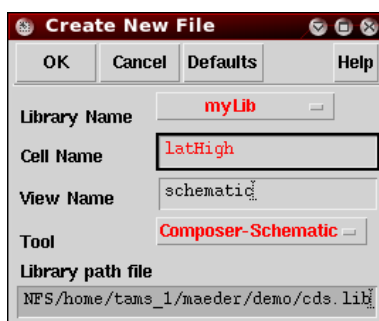
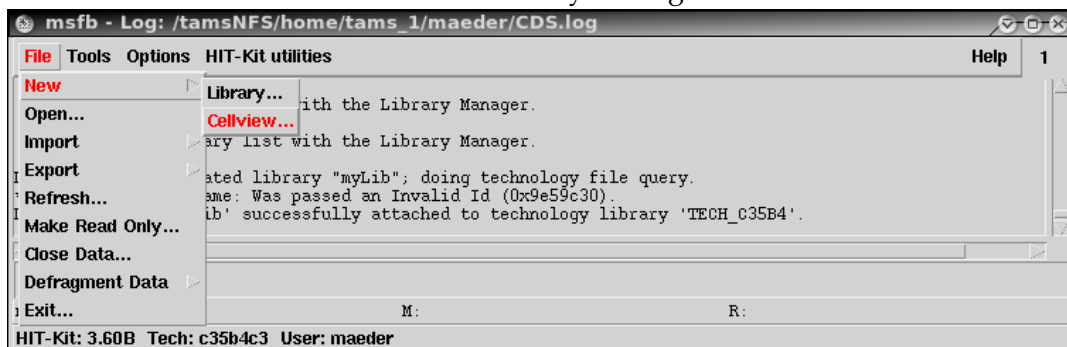




Die Bibliothek muss mit der Technologie des Herstellers verknüpft werden. Dadurch werden prozessspezifische Parameter (Definition der Layer, Regeln für Design Rule Check und Extraktion usw.) festgelegt:

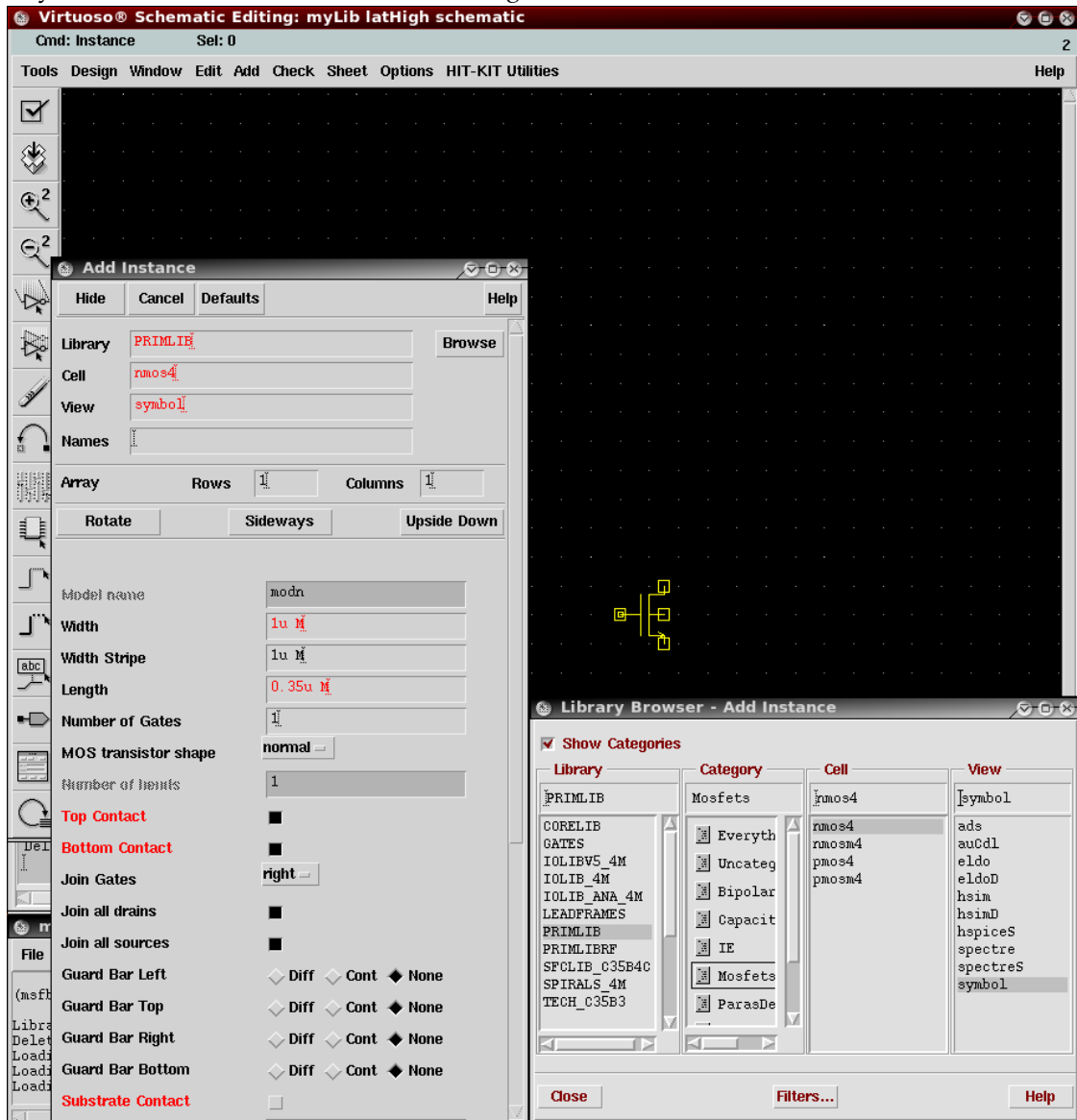


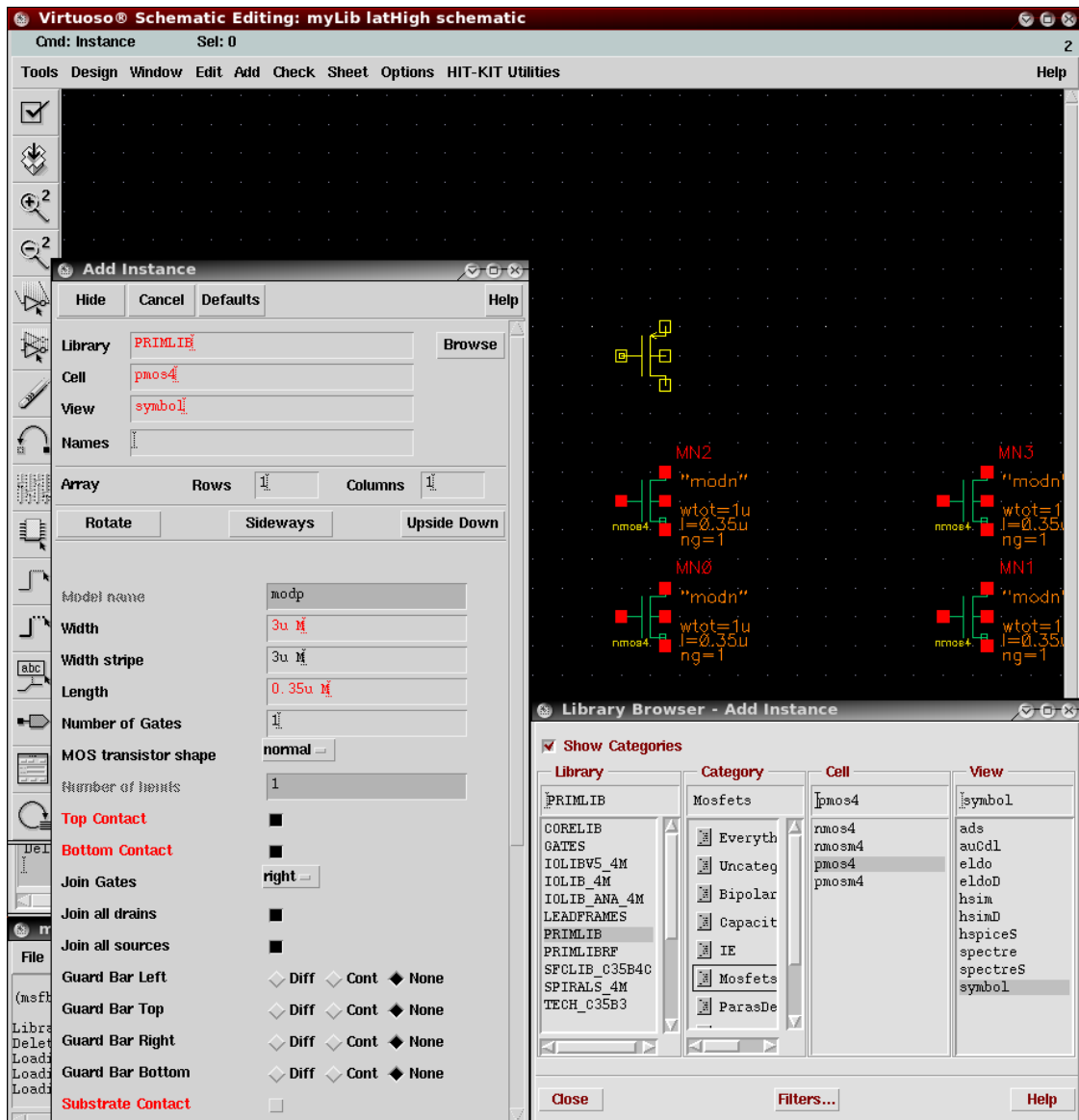
3. Start des Schematic-Editors über den Library-Manager oder bei neuen Entwürfen:



4. Eingabe der Transistornetzliste. Als Komponenten müssen dabei die Transistoren der Bibliothek PRIMLIB benutzt werden; für sie sind die entsprechenden Layoutrepräsentationen vorhanden.

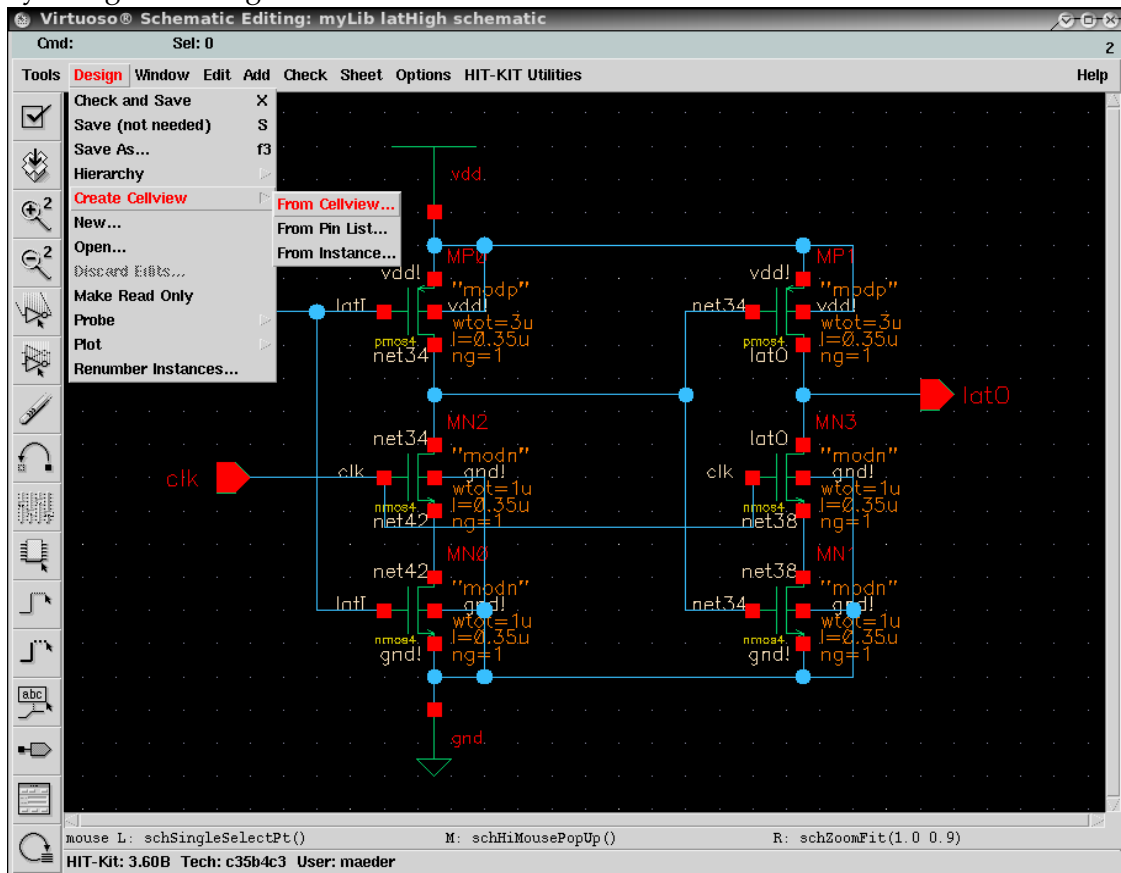
Neben der Festlegung der Kanalweite und -länge können schon Kontakte zu den Diffusionsgebieten und zum Substrat generiert werden. Auch andere Parameter des späteren Layouts lassen sich hier bereits festlegen. Sie können während der Arbeit mit dem Layout noch verändert werden — *wichtig sind hier nur die Dimensionen der Transistoren!*





Achtung: die Transistoren haben jeweils 4 Anschlüsse. Der Bulk-Kontakt ist deshalb explizit mit vdd, bzw. gnd zu verbinden, wie die folgende Abbildung zeigt. Die Versorgungsspannung wird über die Symbole der analogLib-Bibliothek angeschlossen.

5. Symbolgenerierung aus dem Schematic heraus:



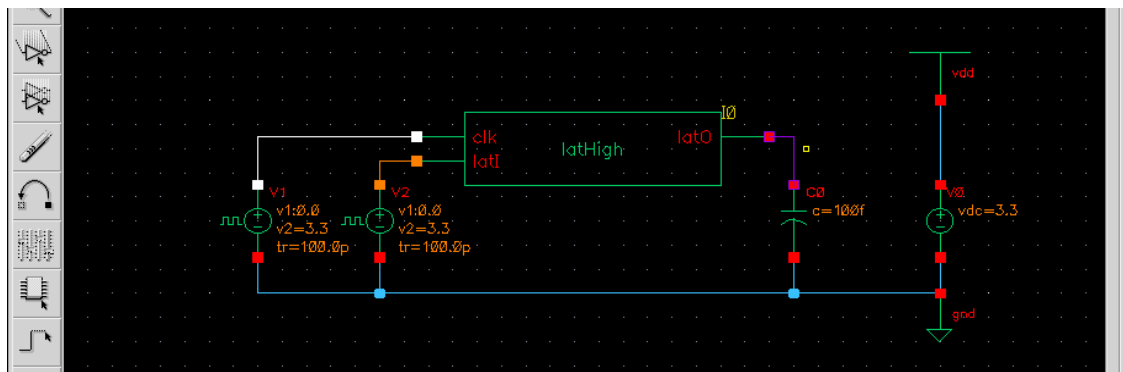
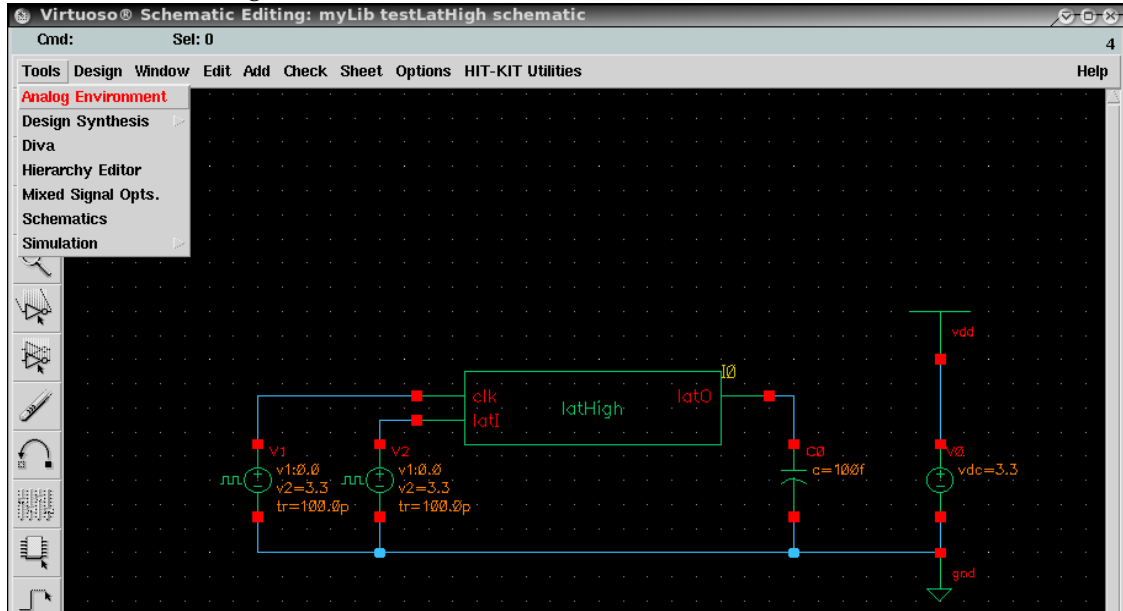
The screenshot shows the "Cellview From Cellview" dialog box. It has fields for "Library Name" (myLib), "Cell Name" (latHigh), "From View Name" (schematic), and "To View Name" (symbol). There are also checkboxes for "Display Cellview" and "Edit Options", and a "Tool / Data Type" dropdown set to "Composer-Symbol".

Aufbau einer Testumgebung

6. Mit dem Schematic-Editor wird anschließend eine Testumgebung aufgebaut — siehe dazu „Full-Custom Design“, Schritte 8 und 10.

Simulation der Schaltung

7. Die folgende Simulation der Schaltung gewährleistet die „richtige“ Funktion — siehe „Full-Custom Design“, Schritte 11 bis 16.



Cadence® Analog Design Environment (1)

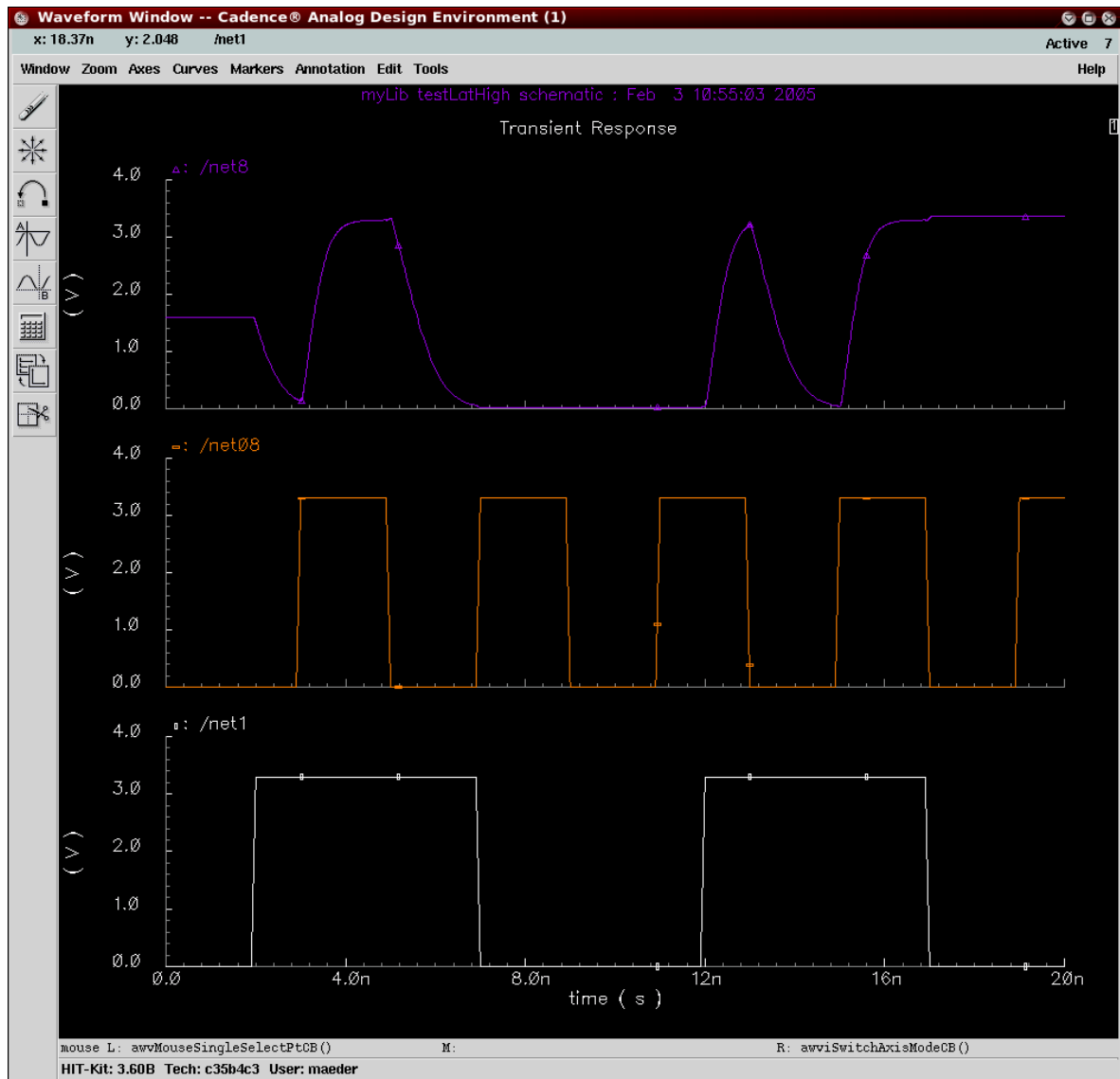
Status: Selecting outputs to be plotted... T=27 C Simulator: spectre 5

Session Setup Analyses Variables Outputs Simulation Results Tools Help

Design		Analyses			
Library	Cell	#	Type	Arguments	Enable
myLib	testLatHigh	1	tran	0 20n cons..	yes

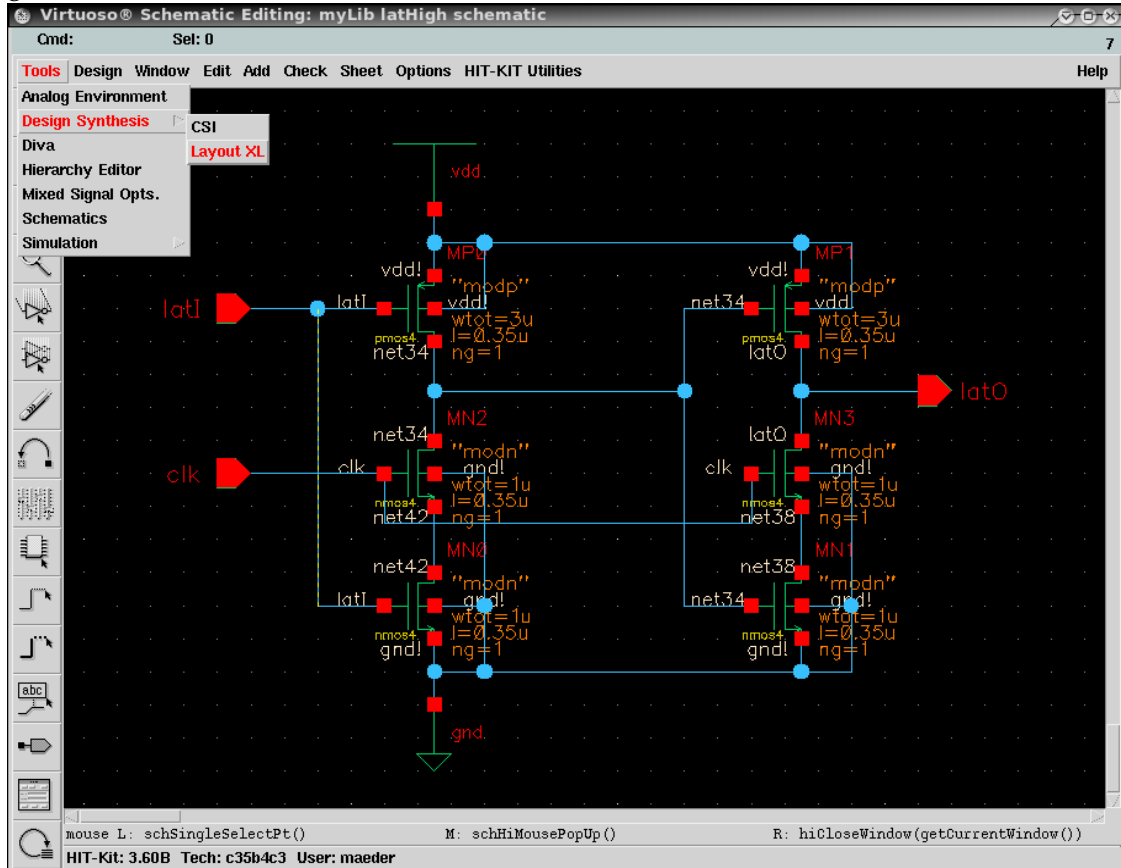
Design Variables		Outputs						
#	Name	Value	#	Name/Signal/Expr	Value	Plot	Save	March
1	net1					yes	allv	no
2	net08					yes	allv	no
3	net8					yes	allv	no

> Select on Schematic: Outputs to Be Plotted

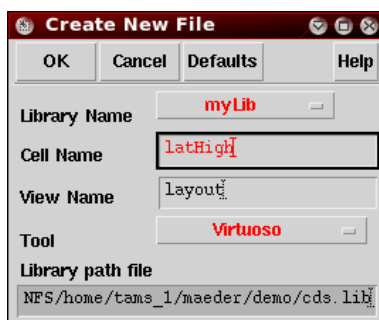
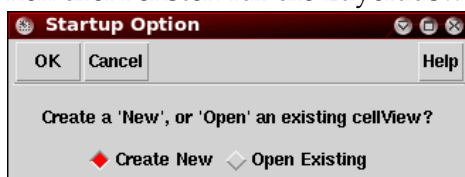


Layout-Netzliste

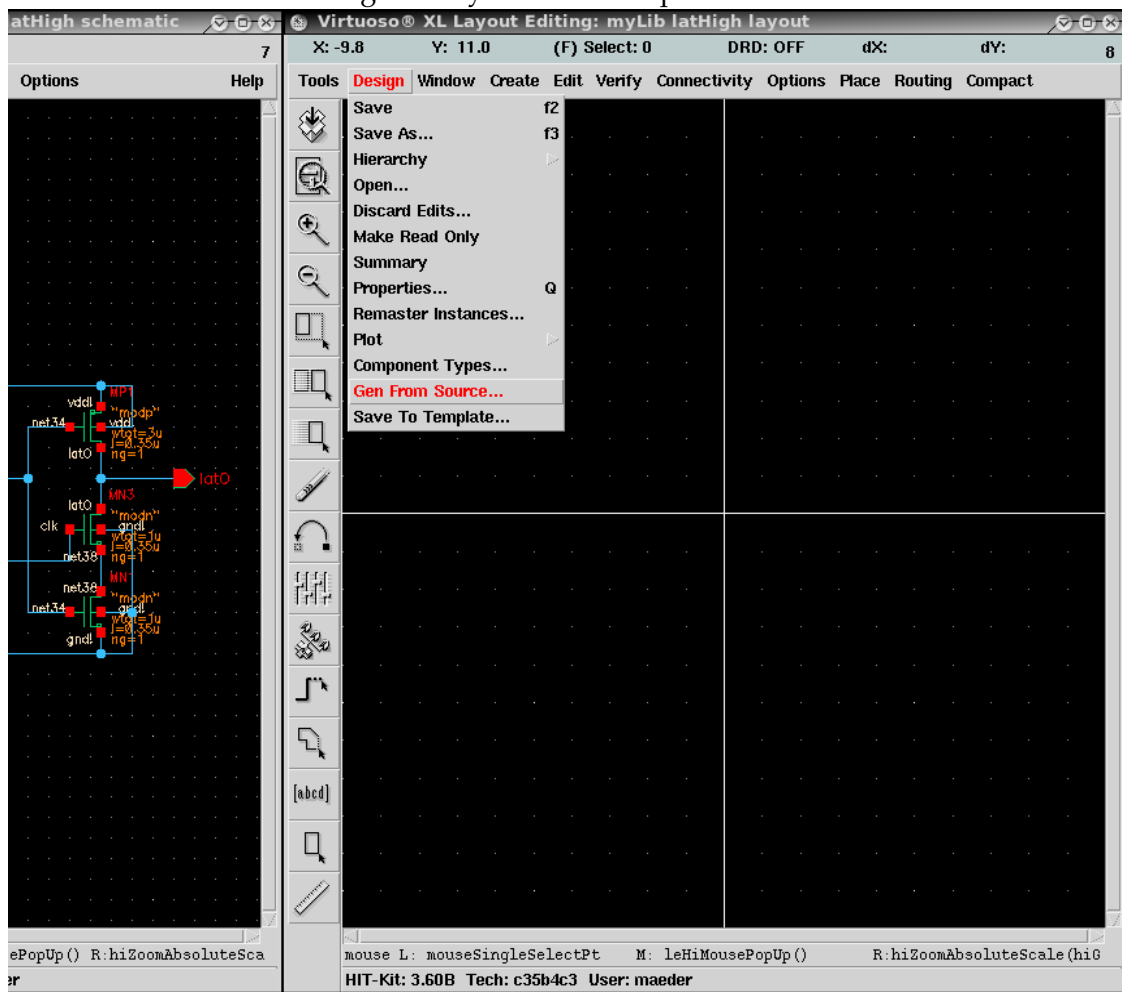
8. Ausgehend von der Transistornetzliste im Schematic-Editor wird die Layoutsynthese gestartet:



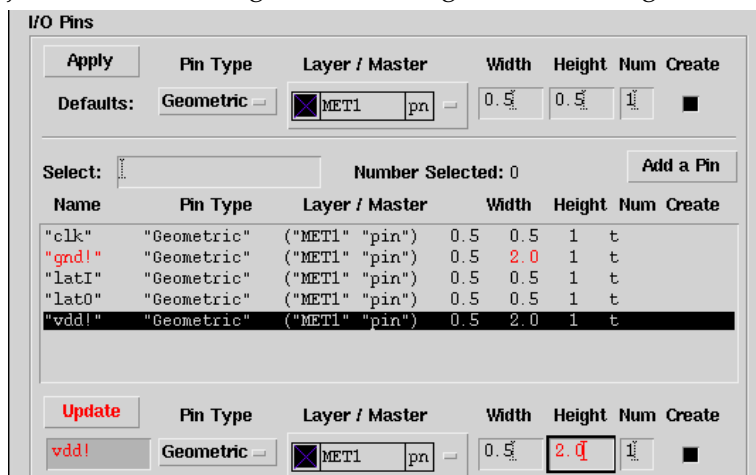
Es wird zwischen neuem oder vorhandenem Layout ausgewählt. Anschließend erscheinen drei Fenster: für die Layerauswahl, den Schematic-Editor und den Layout-Editor.

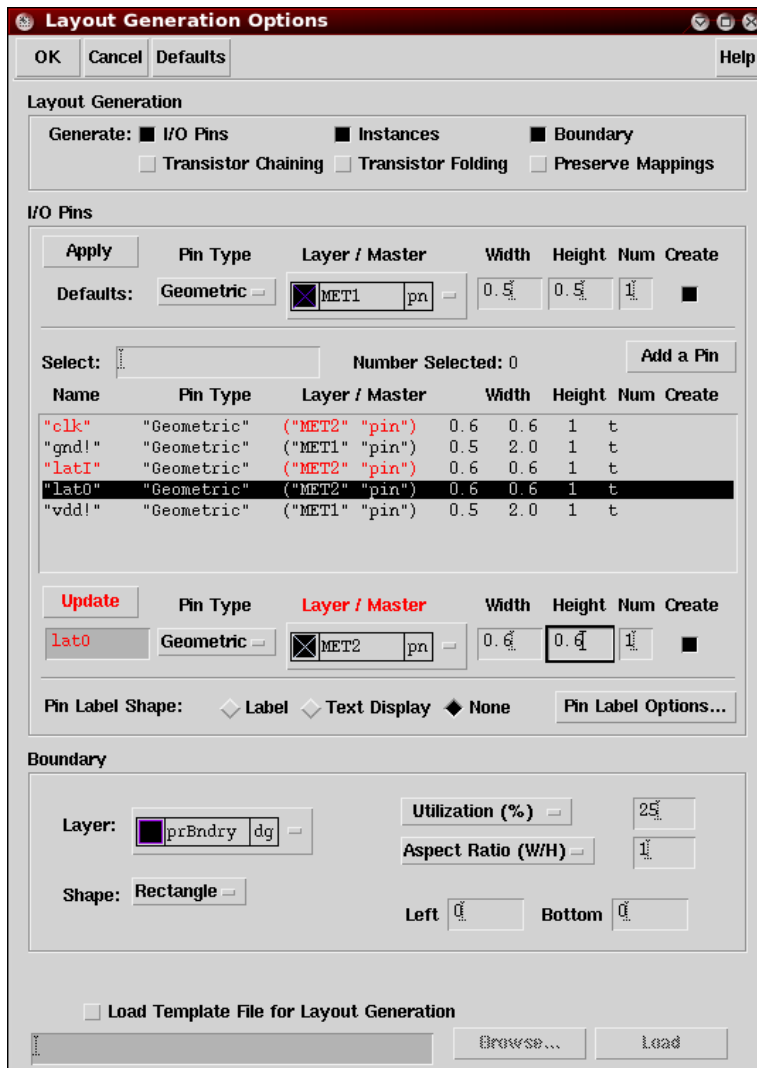


9. Automatische Initialisierung des Layouts mit Komponenten und Pins des Schematics:



In der Auswahlliste können für die Pins weitere Eigenschaften festgelegt werden. In dem Beispiel wird ein Standardzell-ähnliches Layout erzeugt, mit breiten Bahnen für die Spannungsversorgung in MET1 und den Ein- und Ausgängen in MET2. Dabei wird jeweils der Pin ausgewählt, die Eigenschaften eingestellt und mit **Update** bestätigt:





Anmerkung: Bei den jetzt folgenden Schritten *Platzierung* und *Verdrahtung*, bieten die Programme verschiedenste Möglichkeiten die jeweilige Aufgabe durchzuführen: vom manuellen Layout, über manuellen Entwurf mit Hilfestellungen und halbautomatische Verfahren, bis hin zum automatischem Entwurf. Eine jeweils „beste“ Vorgehensweise kann nicht allgemeingültig angegeben werden, da sich hier Eigenschaften des Entwurfs (Größe) und des herstellereigenen Design-Kits auswirken.

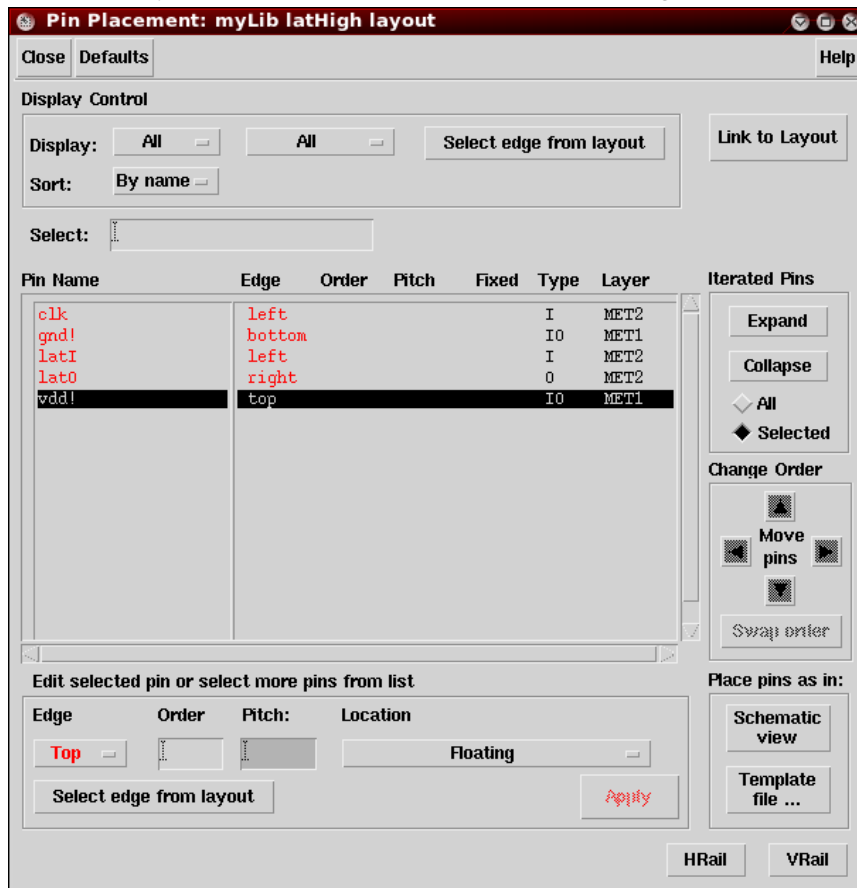
Für den AMS Hit-Kit (v3.60) und die vergleichsweise kleinen Entwürfe des Praktikums liefern halbautomatische Verfahren in Verbindung mit einem externen Router die besten Layoutergebnisse. Die Beschreibung folgt deshalb diesem Ablauf und skizziert lediglich einige Alternativen.

Platzierung

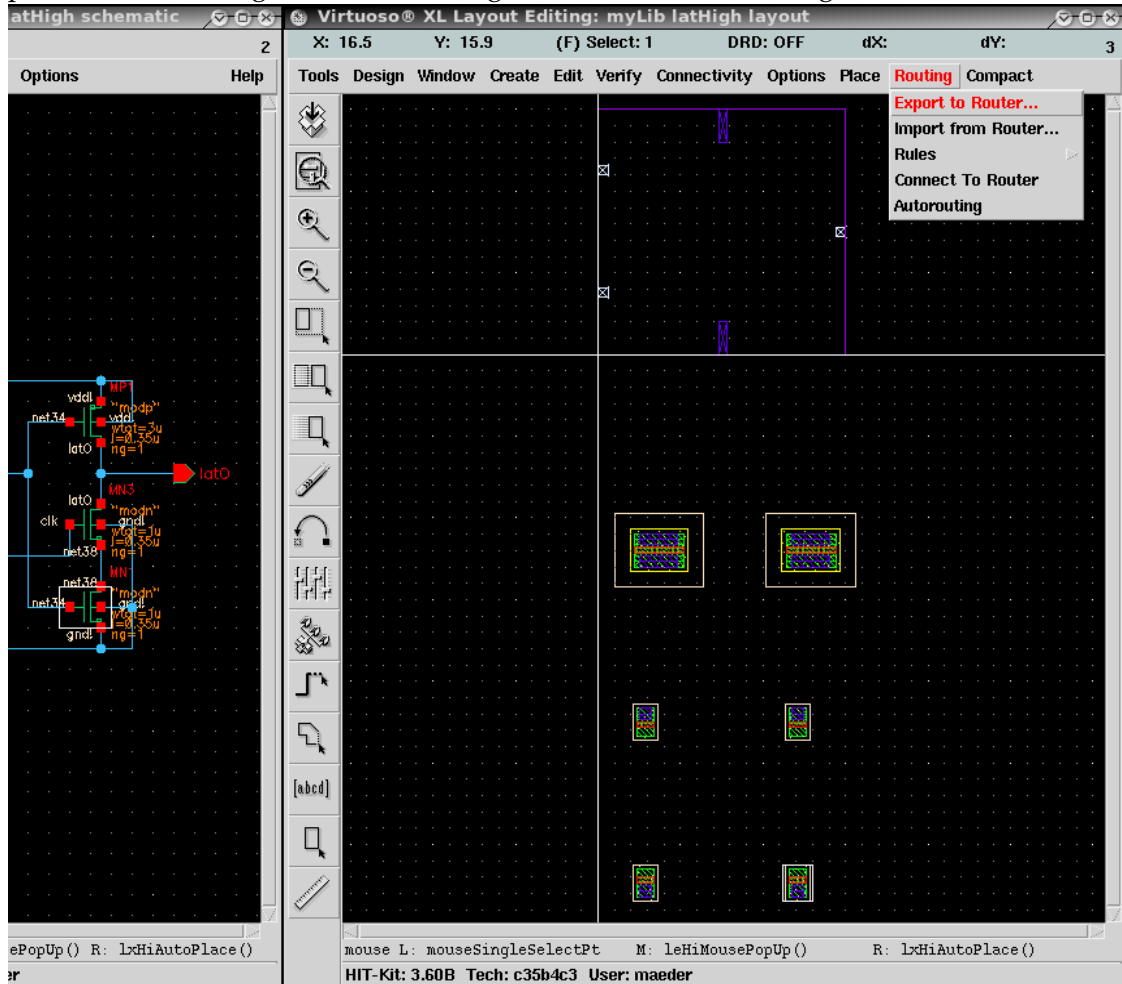
10. Die Platzierung der Pins geht am einfachsten über die manuelle Zuordnung per Menü:



Dabei wird jeweils ein Pin selektiert, eine Seite ausgewählt und mit **Apply** bestätigt:

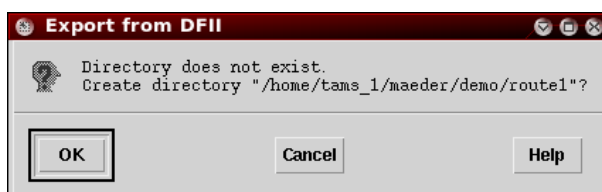
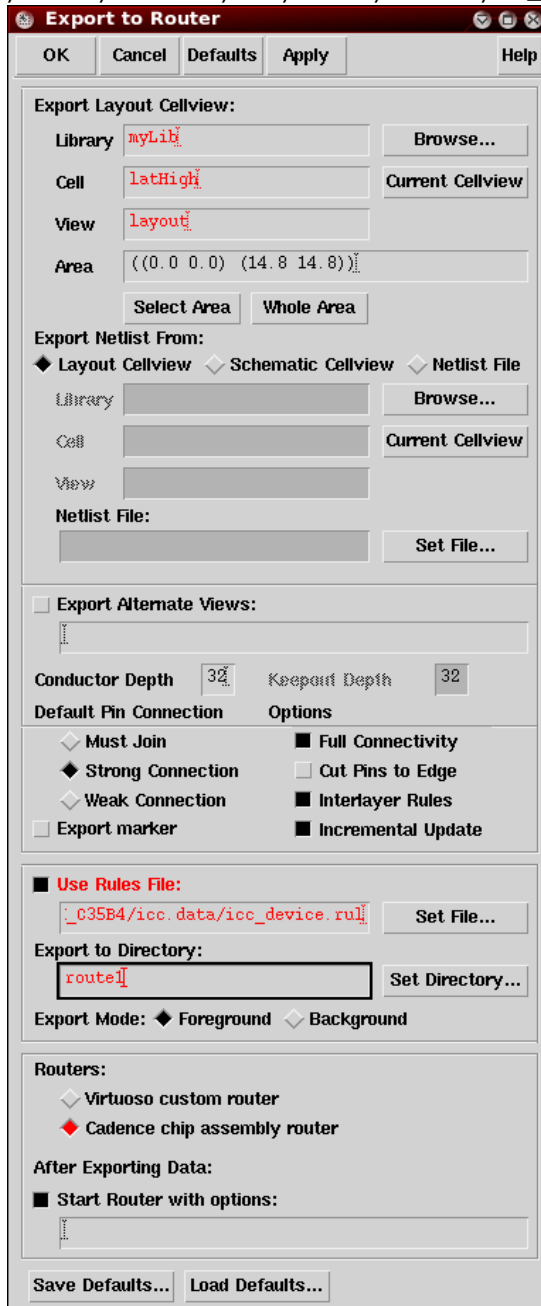


11. (optional) Start des Verdrahtungswerkzeugs — dieser Schritt gehört inhaltlich zur Verdrahtung! Die Programme für Layout-Editor und Router sind so miteinander gekoppelt, dass Änderungen der Platzierung direkt in die Verdrahtung übernommen werden.

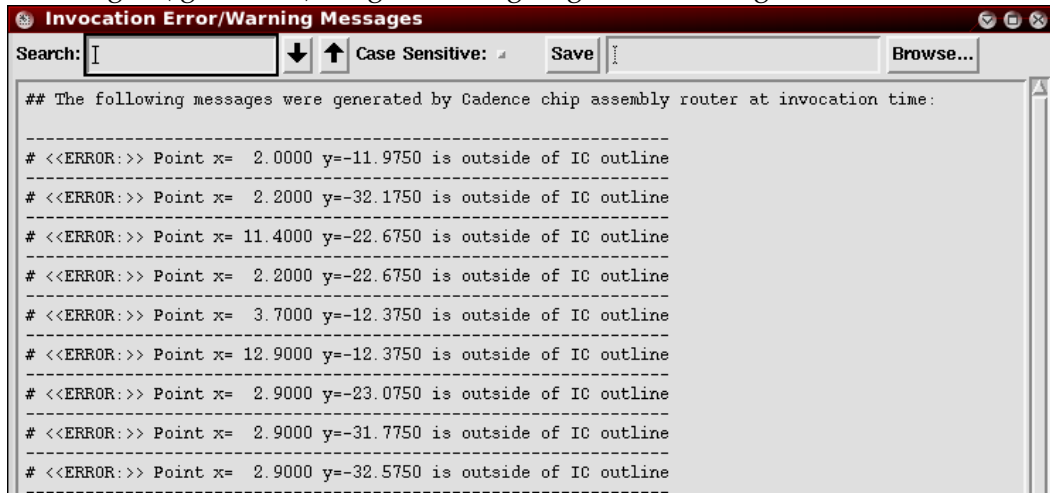


Im folgenden Menü sind unbedingt der Cadence chip assembly router und die externe Regeldatei anzugeben, Use Rules File:

/local/tams1.1/ams/v3.60/artist/HK_C35/TECH_C35B4/icc.data/icc_device.rul



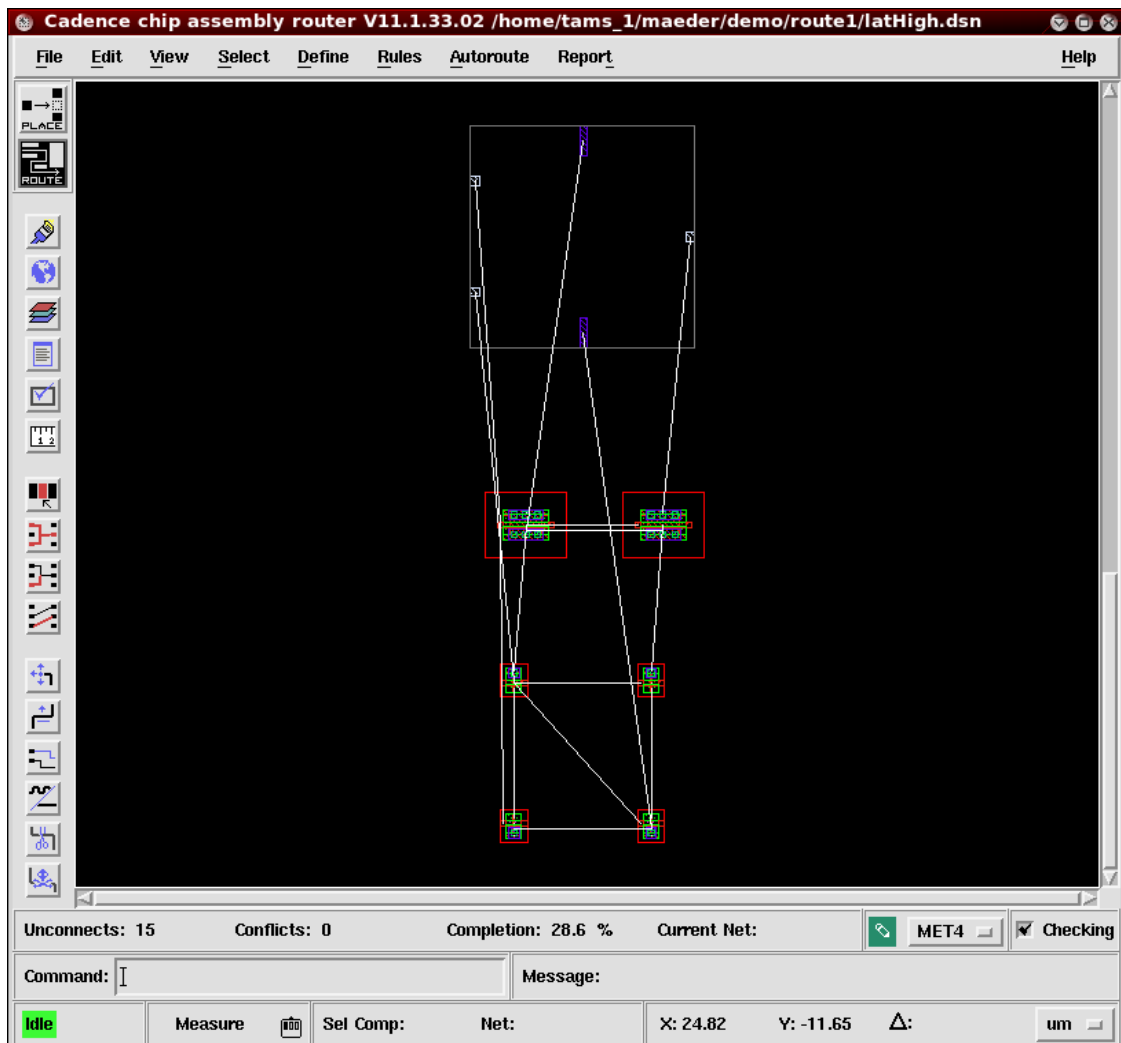
Anschließend erscheint ein neues Fenster für das Verdrahtungsprogramm und Fehlermeldungen (ignorieren), wegen der ungültigen Platzierung:



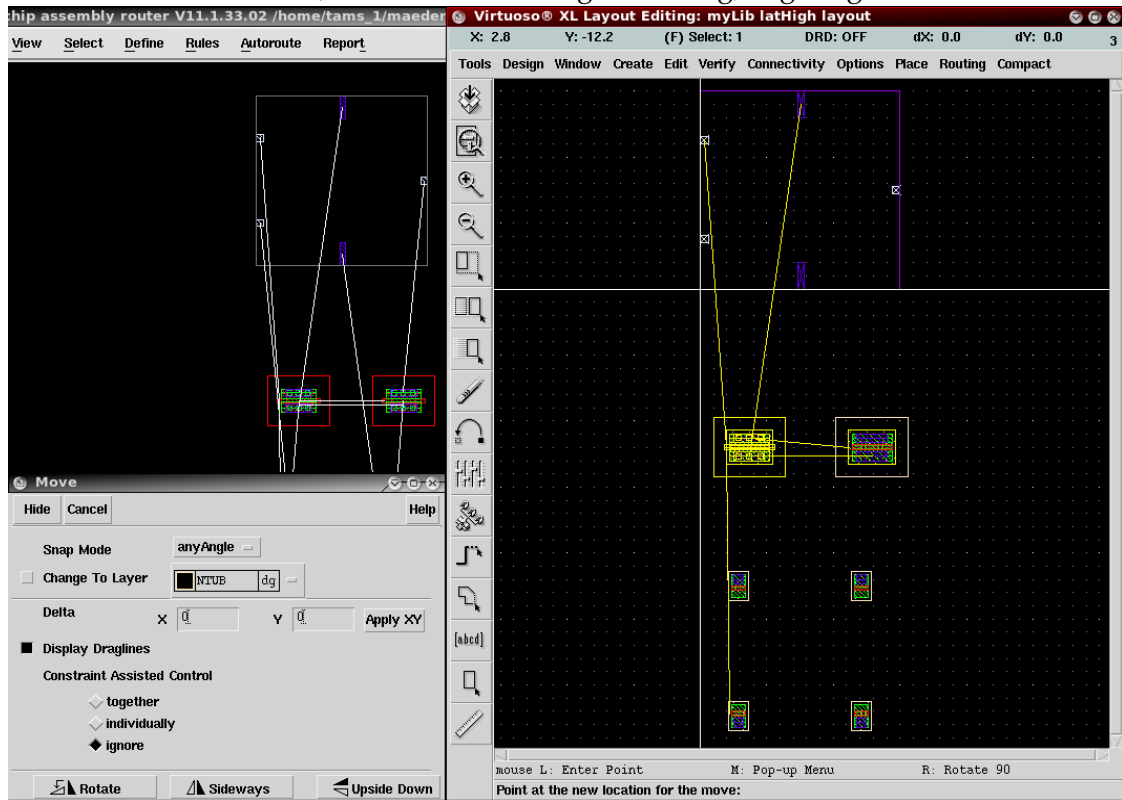
```
Invocation Error/Warning Messages
Search: [ ] Case Sensitive: [ ] Save [ ] Browse...

## The following messages were generated by Cadence chip assembly router at invocation time:

-----
# <<ERROR:>> Point x= 2.0000 y=-11.9750 is outside of IC outline
# <<ERROR:>> Point x= 2.2000 y=-32.1750 is outside of IC outline
# <<ERROR:>> Point x= 11.4000 y=-22.6750 is outside of IC outline
# <<ERROR:>> Point x= 2.2000 y=-22.6750 is outside of IC outline
# <<ERROR:>> Point x= 3.7000 y=-12.3750 is outside of IC outline
# <<ERROR:>> Point x= 12.9000 y=-12.3750 is outside of IC outline
# <<ERROR:>> Point x= 2.9000 y=-23.0750 is outside of IC outline
# <<ERROR:>> Point x= 2.9000 y=-31.7750 is outside of IC outline
# <<ERROR:>> Point x= 2.9000 y=-32.5750 is outside of IC outline
```



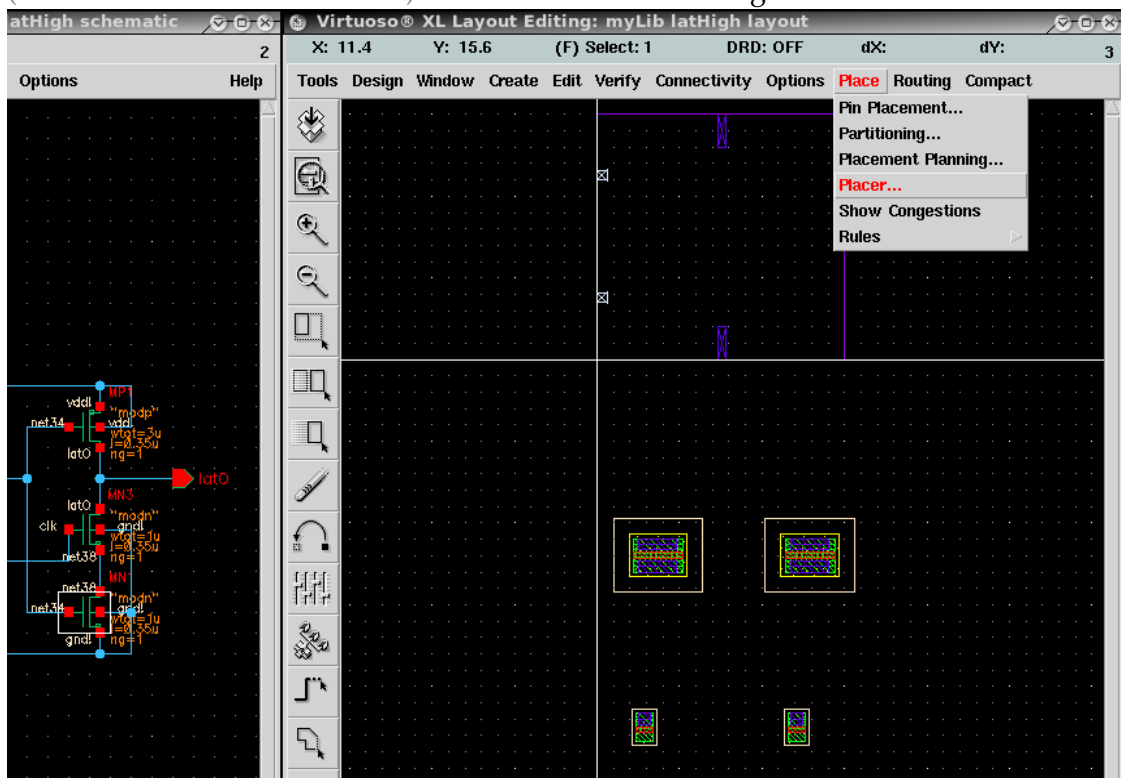
12. Manuelle Platzierung der Transistoren mit dem Editor. Prinzipiell kann dazu auch der (manuelle) Platzierungsmodus des Routers benutzt werden – hier nicht weiter beschrieben –, aber am einfachsten geht die Platzierung mit dem move-Befehl des Layout-Editors. Dabei werden die Netze, wie im Verdrahtungswerkzeug, angezeigt:



Häufig stellt man dabei fest, dass Layouteigenschaften der Transistoren wie **Diffusions- oder Substratkontakte** geändert werden müssen, um eine effiziente Platzierung zu erreichen. In solchen Fällen lassen sich die entsprechenden Properties mit dem Layout-Editor anpassen.

Alle derartigen Änderungen durch den Layout-Editor werden direkt in das Verdrahtungswerkzeug übernommen. Die (vorläufige) Platzierung ist fertig, wenn alle Transistoren innerhalb der Zellfläche angeordnet sind.

12. (Alternative — nicht benutzen) Automatische Platzierung der Transistoren:



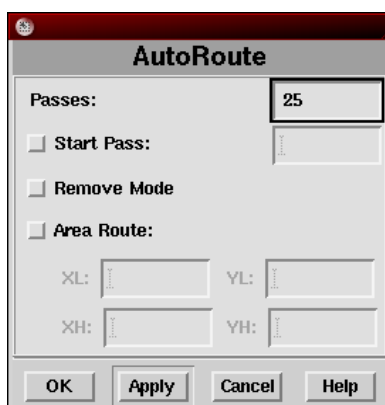
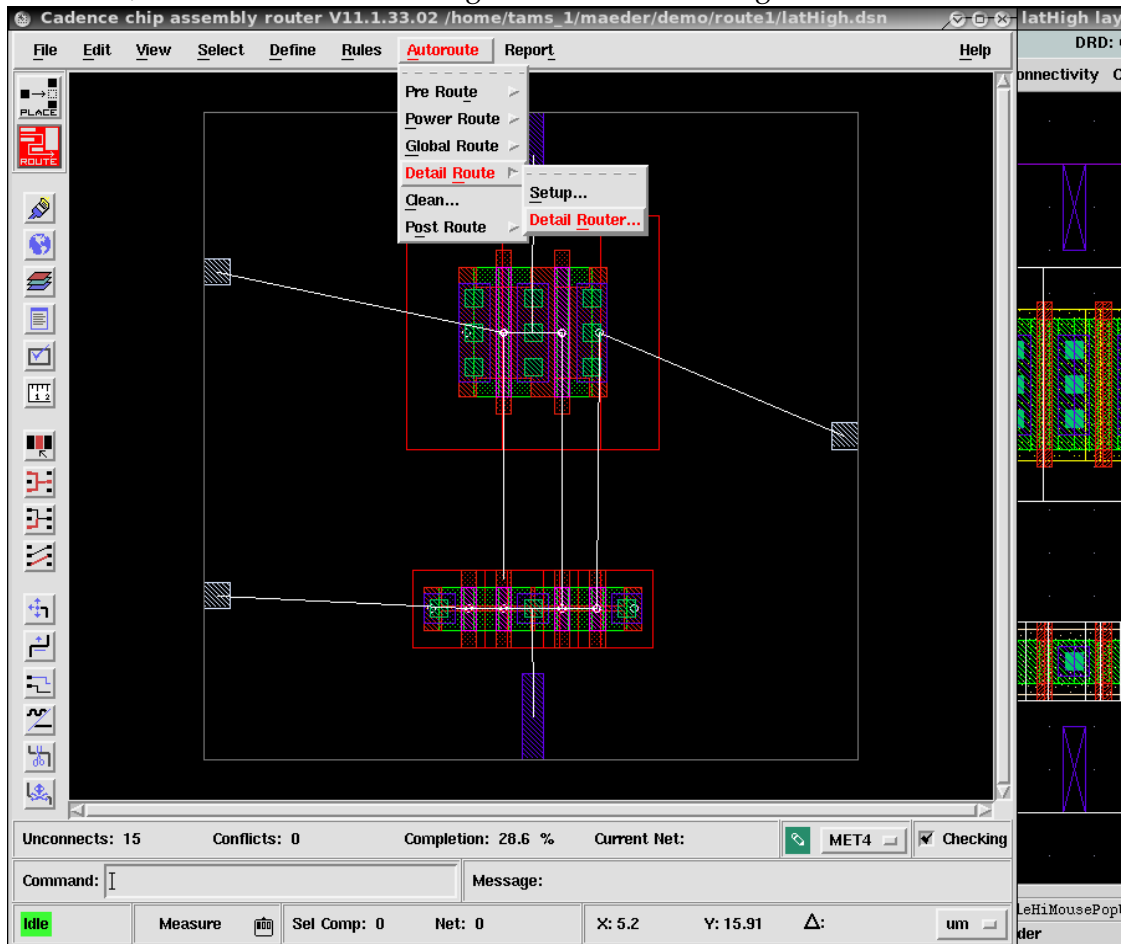
Bei eigenen Versuchen waren alle Platzierungen, auch mit modifizierten Parametern, unbrauchbar und mussten manuell (s.o.) nachbearbeitet werden! Wichtig ist die richtige Auswahl für Rules File:

`/local/tams1.1/ams/v3.60/artist/HK_C35/TECH_C35B4/icc.data/icc_device.rul`

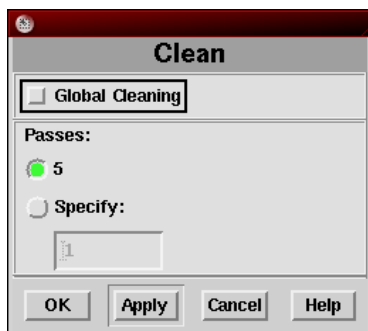
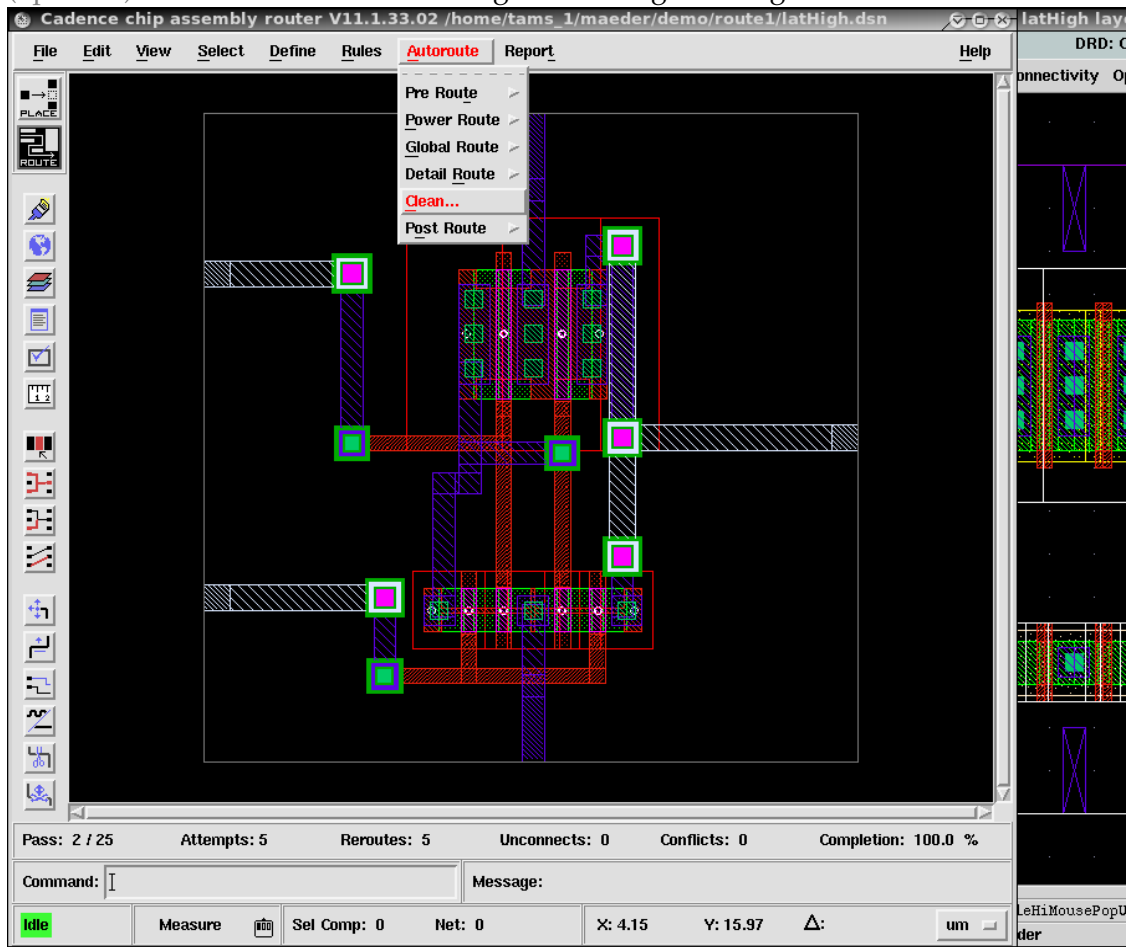


Verdrahtung

11. (wenn nicht schon vorher geschehen) **Start des Verdrahtungswerkzeugs.**
13. Automatische Verdrahtung aller noch nicht (manuell oder inkrementell) vorverdrahteten Netze; dabei muss sich das Programm im Verdrahtungsmodus befinden:

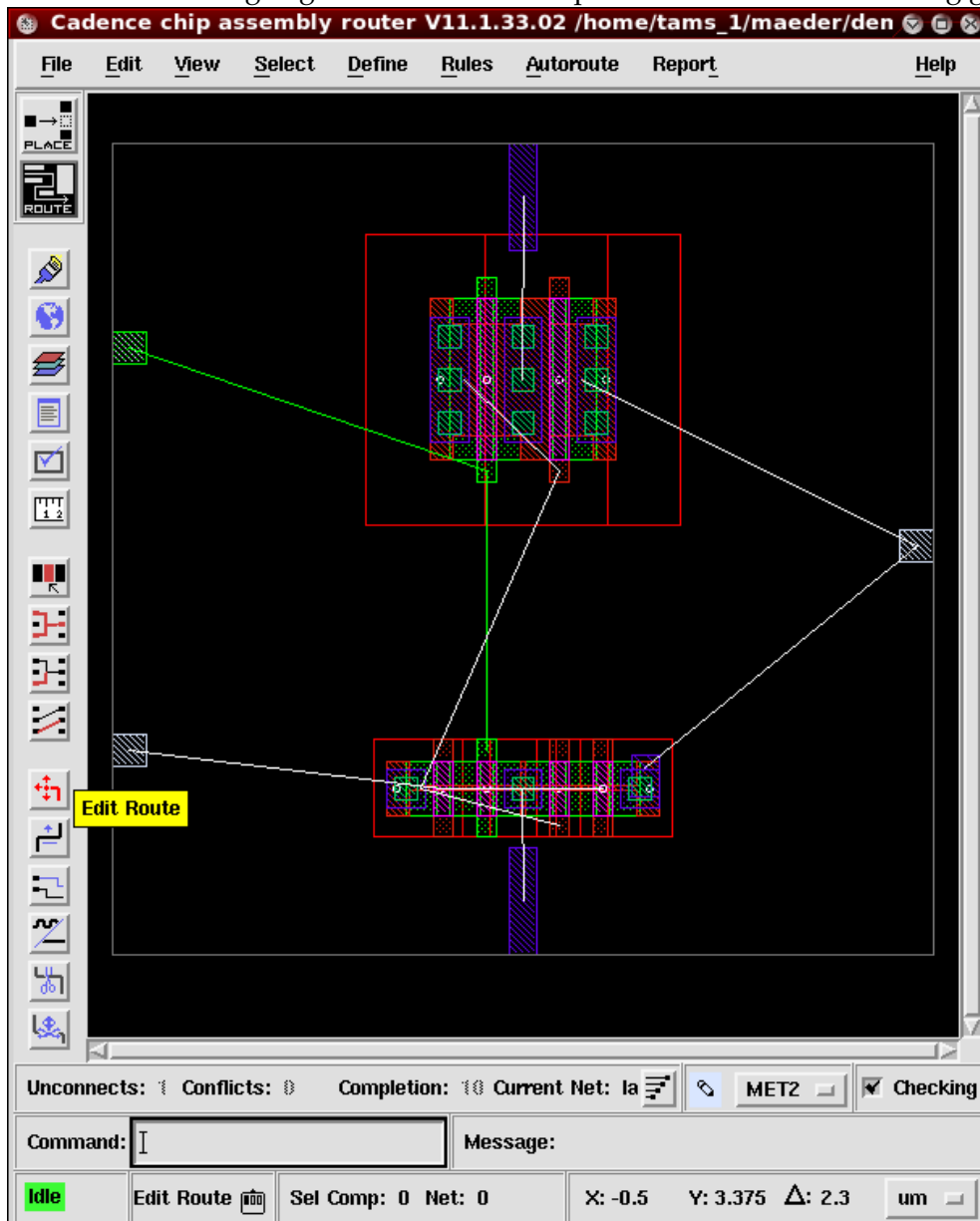


14. (optional) Automatische Verbesserung der Leitungsführung:

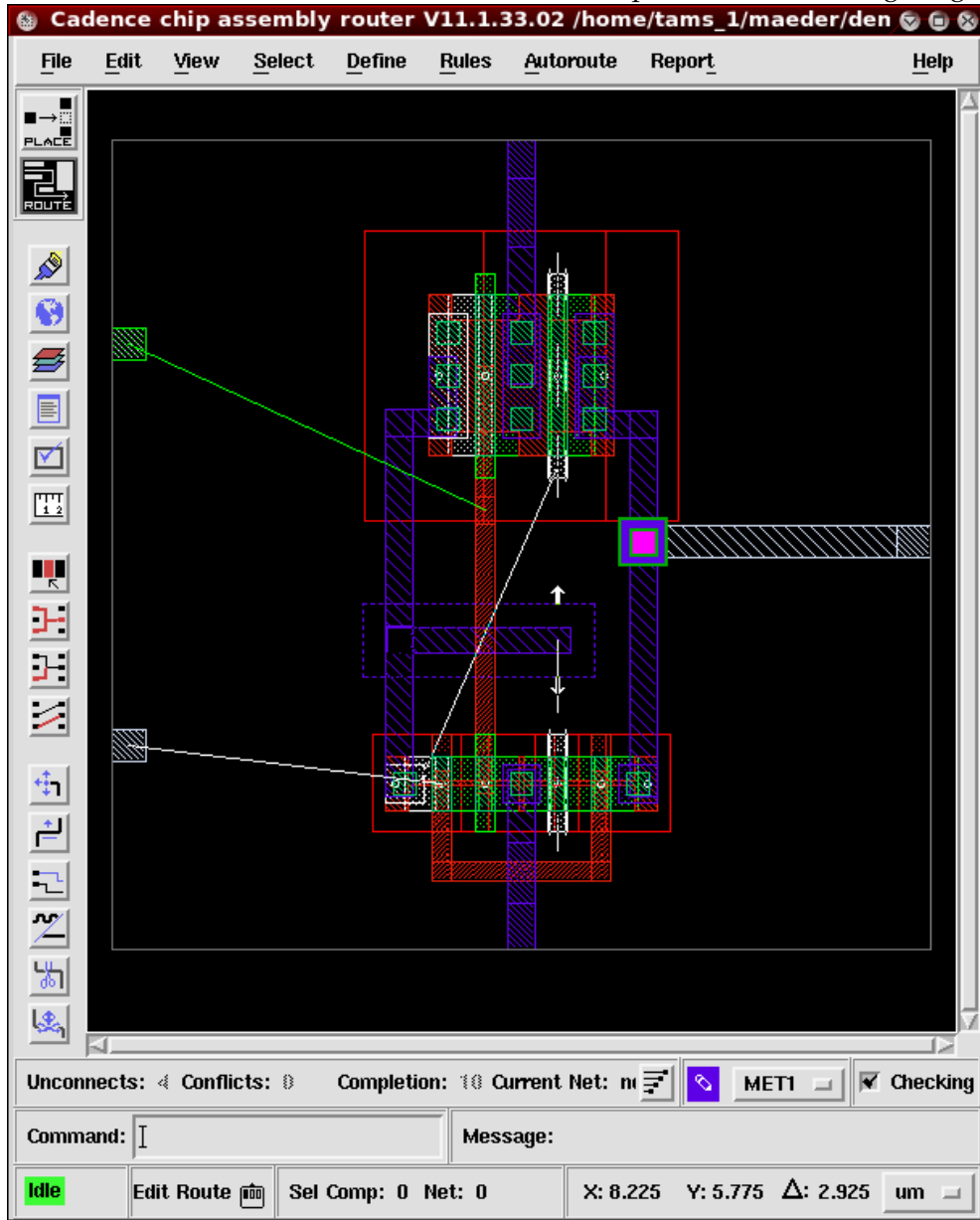


15. (optional) Ist man mit dem Ergebnis der automatischen Verdrahtung nicht zufrieden oder möchte man ohnehin manuell arbeiten, dann empfiehlt sich die halbautomatische Verdrahtung. Sie lässt sich beliebig mit dem Autorouter (Schritt 13) oder der automatischen Optimierung (Schritt 14) kombinieren.

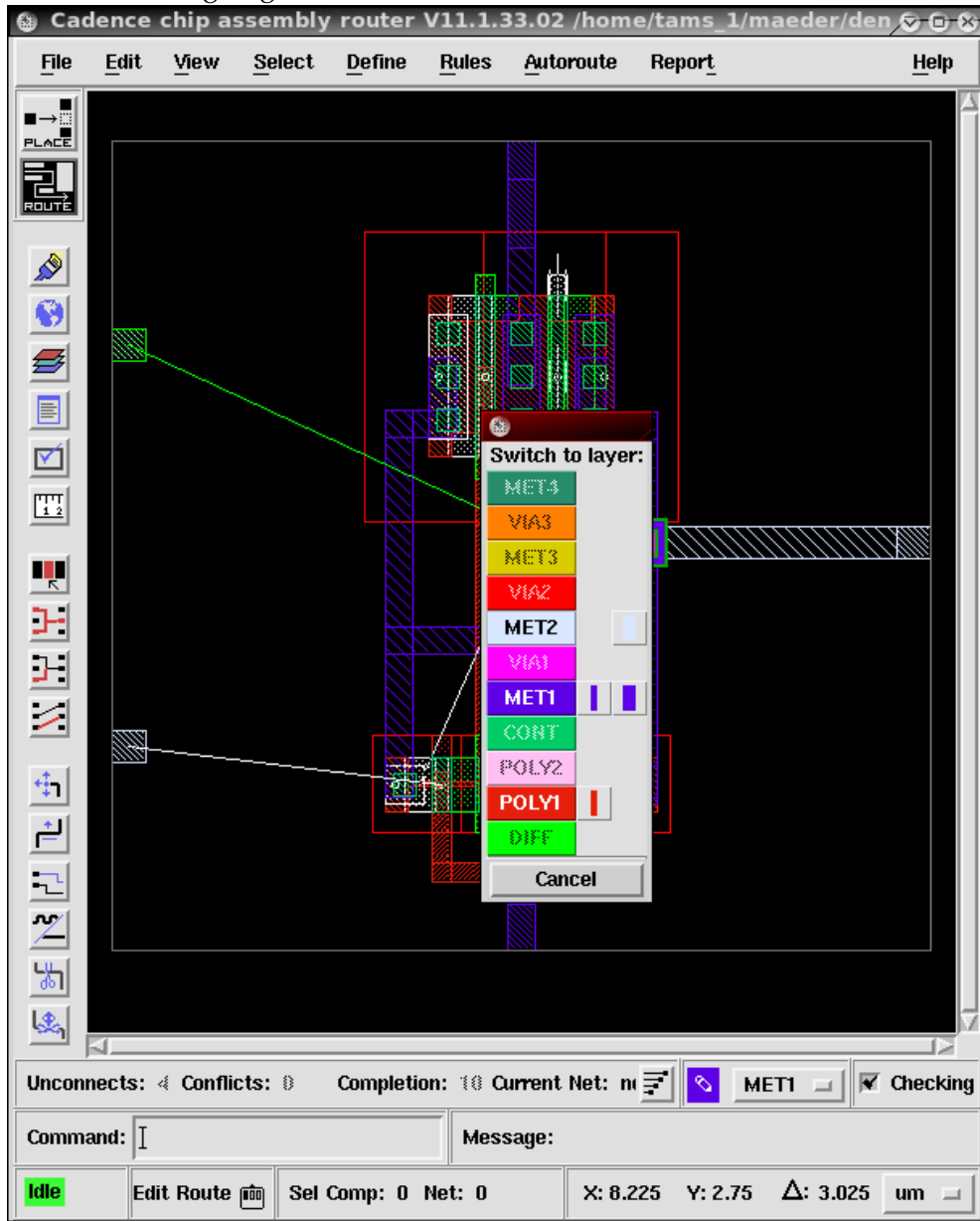
Mit den Lösch-, Verschiebe- und Editierbefehlen werden einzelne Leitungssegmente entsprechend bearbeitet. Die Einhaltung der Entwurfsregeln wird dabei ständig überprüft und eventuell auftretende Konflikte werden automatisch durch „Re-Routing“ der betroffenen Leitungen gelöst. Hier wird beispielhaft das manuelle Routing gezeigt:



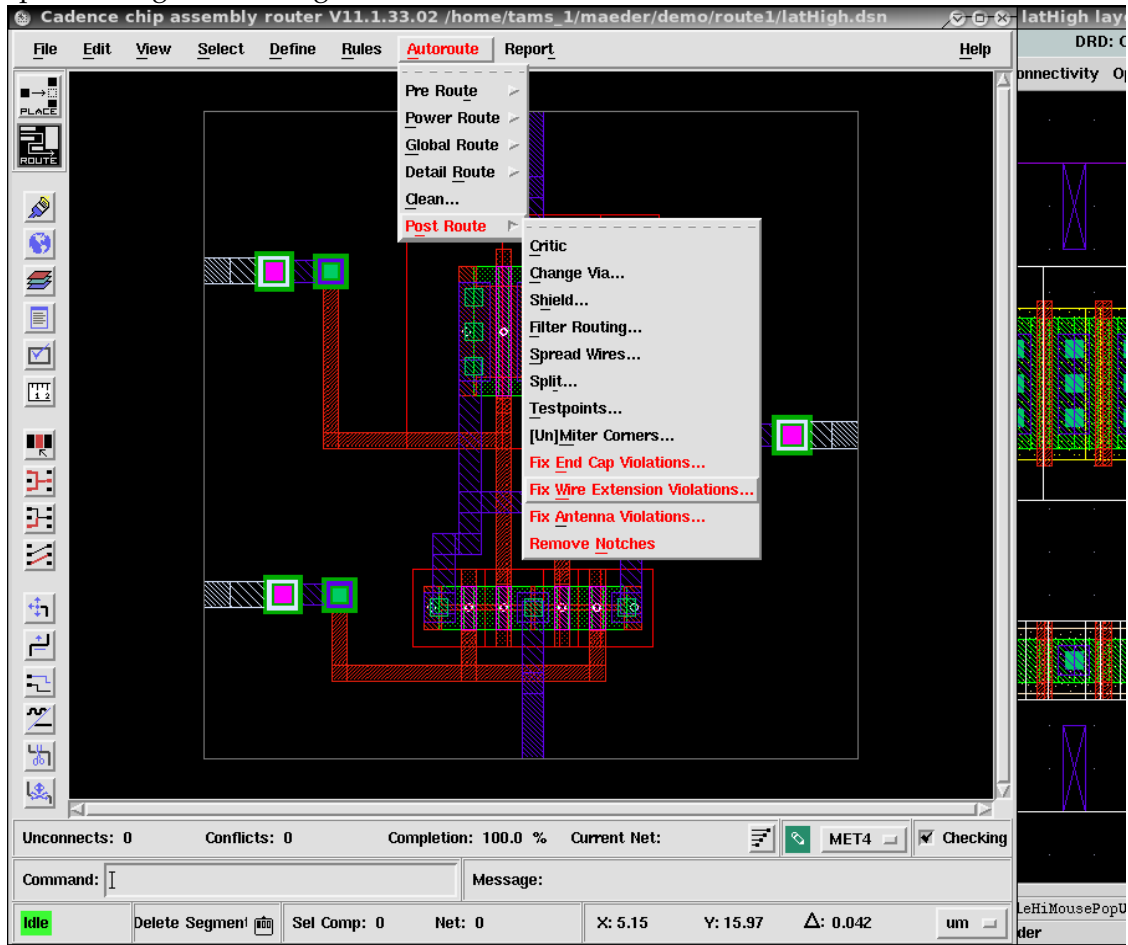
Wählt man einen Anschlusspunkt, dann werden alle Knoten des Netzes markiert und die Verdrahtung mit dem „passenden“ Layer startet. Befindet man sich orthogonal zu anderen Anschlüssen, dann wird dies durch entsprechende Pfeile angezeigt:



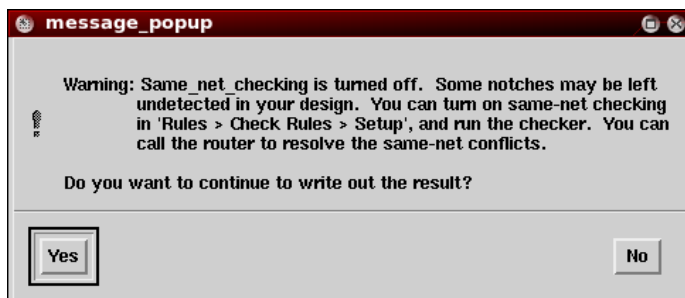
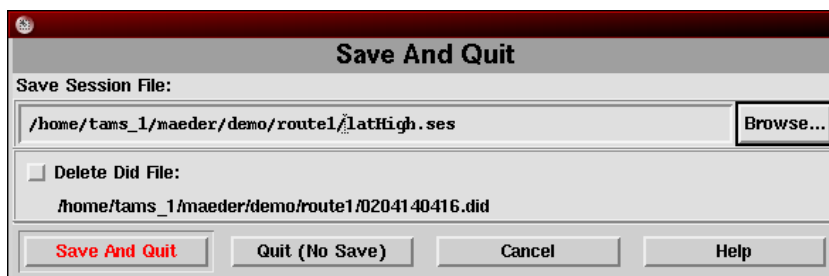
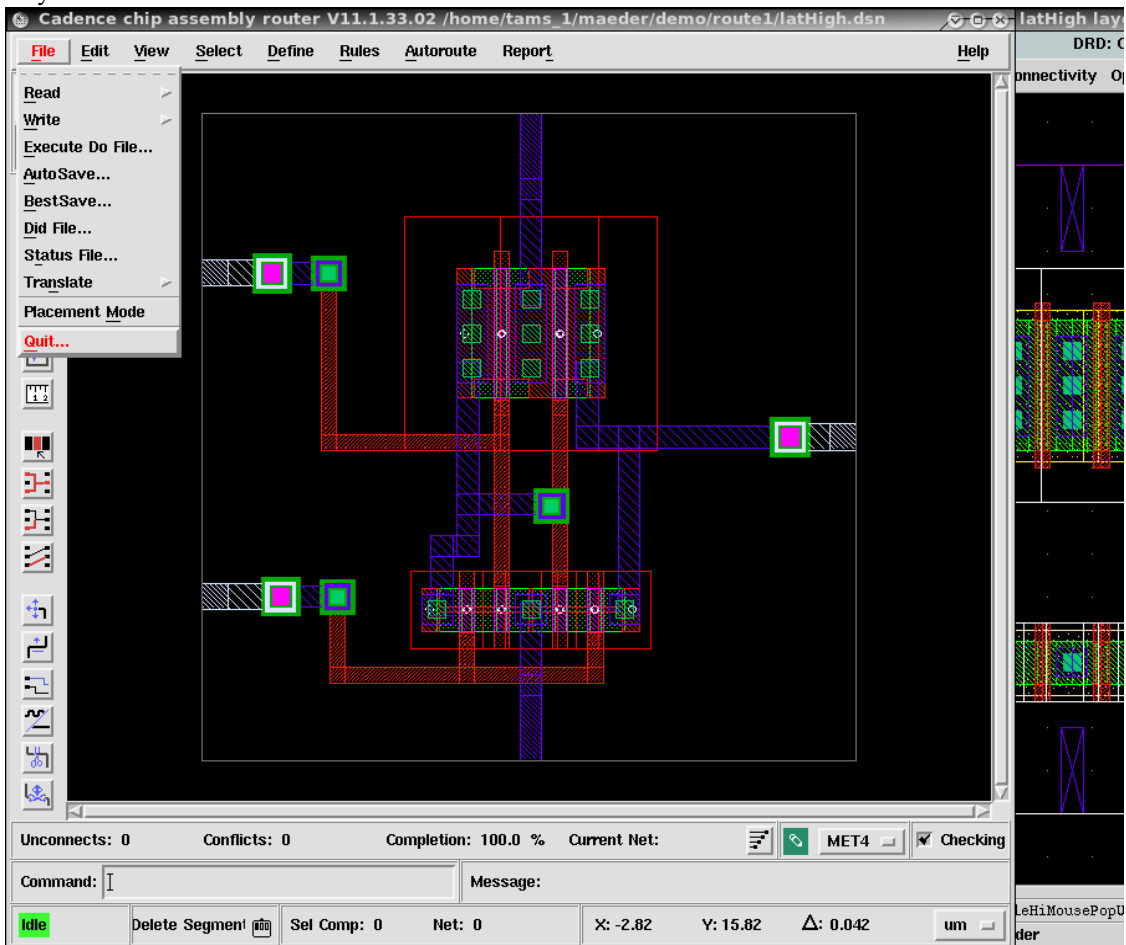
Wird derselbe Punkt zweimal angegeben, kann der Layer gewechselt und automatisch ein Kontakt eingefügt werden:



16. (optional) Vor der Übernahme der Daten in den Layout-Editor können einige Ursachen späterer Regelverletzungen automatisch behoben werden:

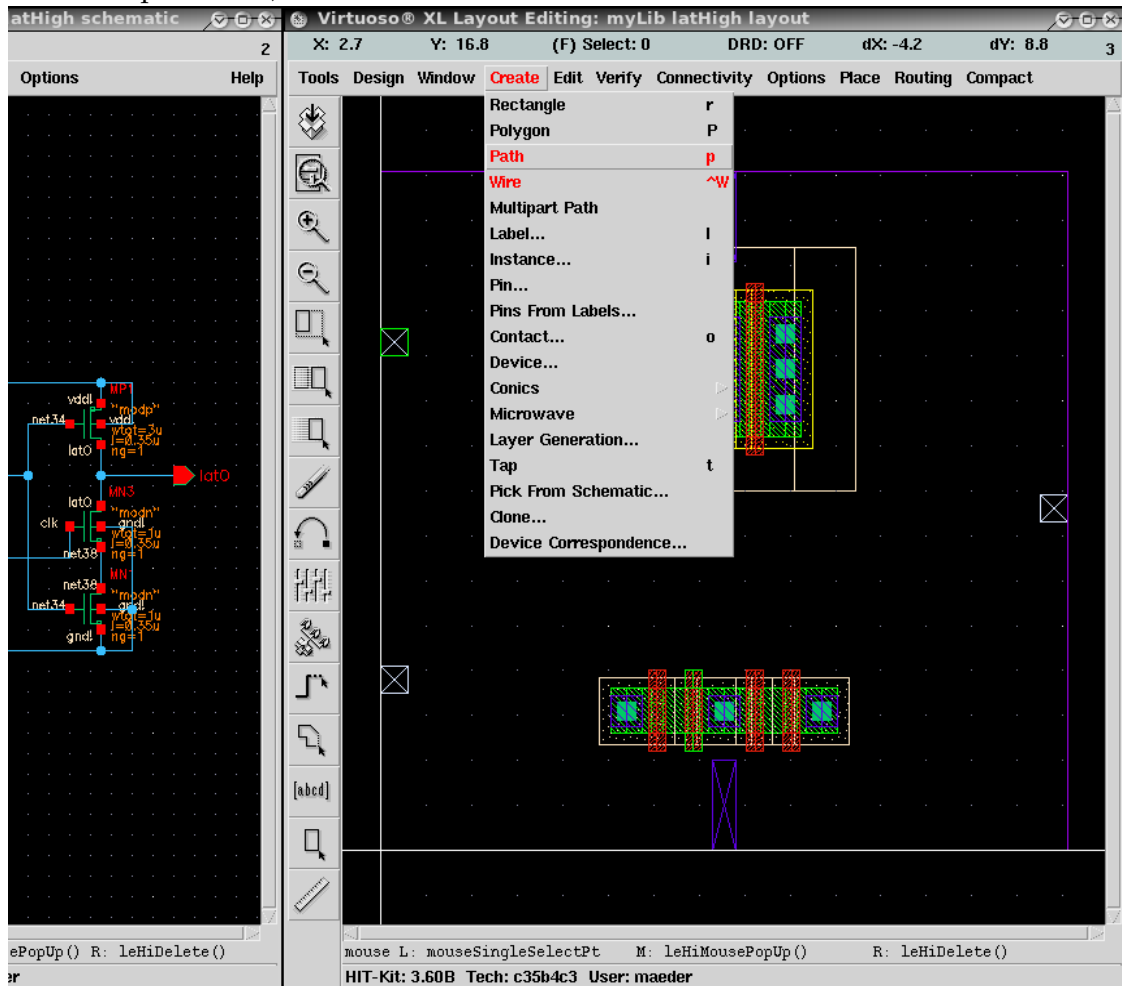


17. Beenden des Verdrahtungsprogramms und automatische Synchronisation mit dem Layout-Editor:



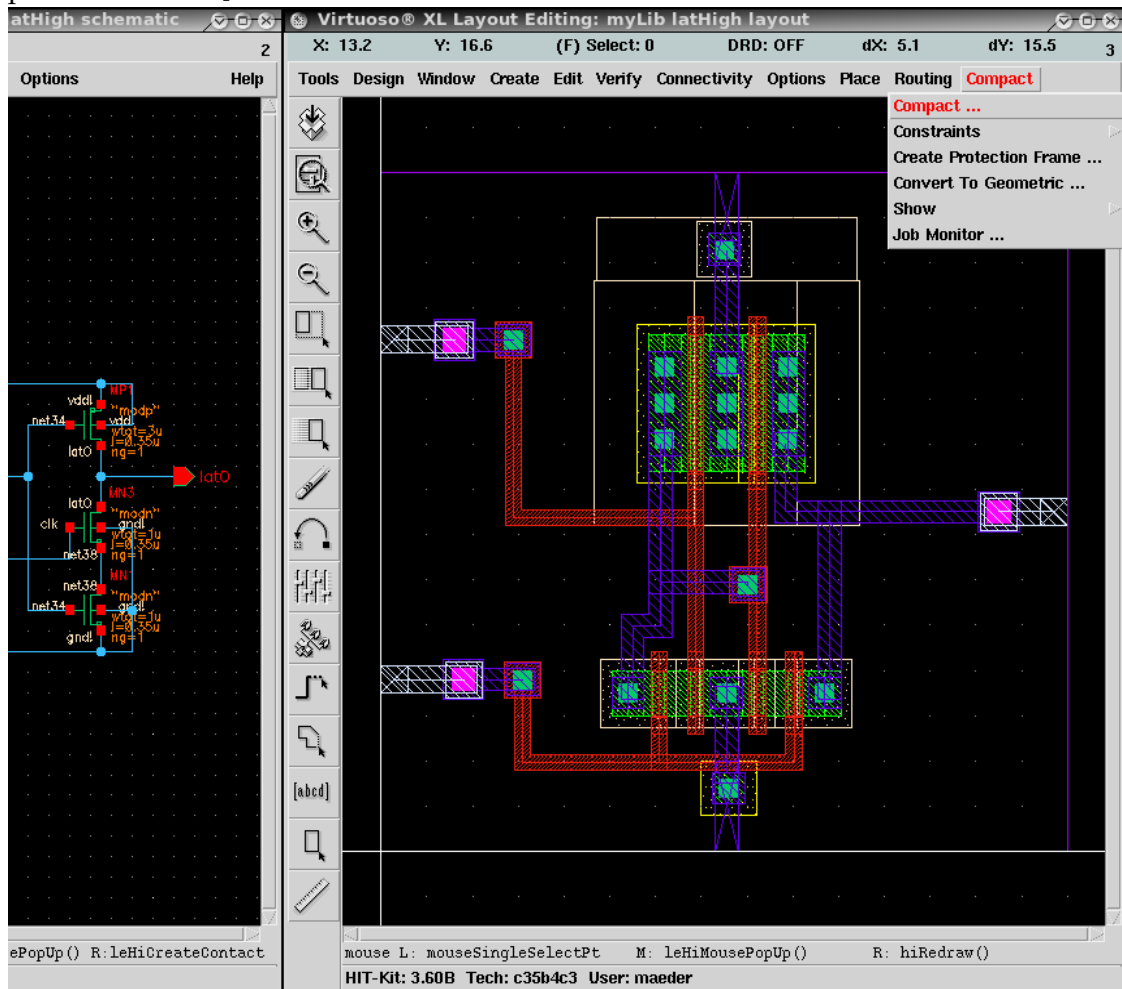
11., 13.-17. (Alternative — **nicht benutzen**) Manuelle Verdrahtung durch den Layout-Editor. Da hier keine Datensynchronisation mit dem **Verdrahtungswerkzeug** stattfindet, darf dieses nicht benutzt werden!

Die Verdrahtung erfolgt über die Befehle Path (kann Kontakte erzeugen) und Wire (zeigt Anschlusspunkte an):



Kompaktierung

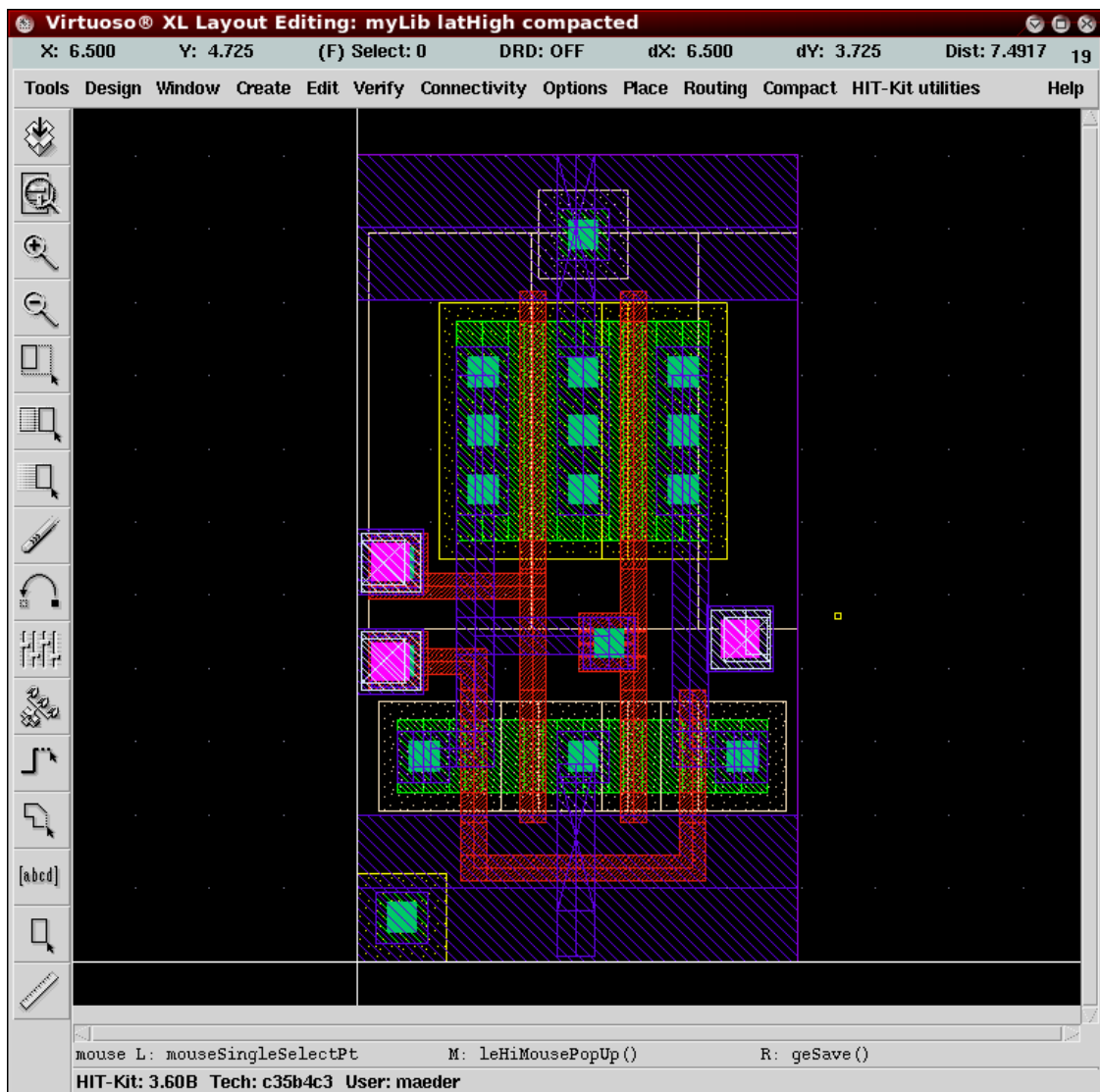
18. Eine automatische Kompaktierung des Layouts ist möglich, wenn nur Instanzen und Pfade (entspricht dem hier beschriebenen Vorgehen) benutzt wurden. Entsprechend den Vorgaben schiebt das Programm das Layout zusammen und erzeugt eine neue Repräsentation compacted:



The image shows a dialog box titled "Compactor Options" with a standard Windows-style title bar. The dialog has several tabs: "OK", "Cancel", "Defaults", "Apply", "Additional Options", and "Help". The "Apply" tab is currently selected. The dialog contains the following settings:

- Compaction Mode:** Radio buttons for "Foreground" (selected) and "Background".
- Compacted Cell Name:** Text field containing "latHigh".
- Compacted View Name:** Text field containing "compacted".
- Compaction Sequence:** Text field containing "XYXY".
- Stop if number of iterations >=:** Spin box set to "50".
- Stop when % area decrease <=:** Spin box set to "0".
- Compaction Direction:** Dropdown menu set to "Bottom Left" and a spin box set to "11".
- Auto Jog:** Radio buttons for "no", "maximum number of jogs per wire" (with a spin box set to "1"), and "unlimited number of jogs per wire" (selected).
- Edges for Abutment:** Checkboxes for "left", "right", "top", and "bottom", all of which are unchecked.
- Log File:** Text field containing "compactor.log".
- Option File:** Text field with a vertical ellipsis icon, and "Load" and "Save" buttons.

19. Korrektur des kompaktierten Layouts mit dem Layouteditor. Da der aktuelle Design-Kit nicht richtig an den Full-Custom Entwurf angepasst ist, wird die compacted-View wahrscheinlich einige DRC-Fehler enthalten! Außerdem sind häufig noch andere Nacharbeiten nötig, wie beispielsweise
- Wannen- und Substratkontakte (siehe Beispiel) sind noch nicht vorhanden und müssen eingefügt werden.
 - Für Standardzell Platzierung & Verdrahtung müssen die Eigenschaften der Pins geändert werden (Zugriffsrichtung, Anzahl, Layer ...).
 - Außerdem muss die prBoundary-Box an das Layout angepasst werden.



weiteres Vorgehen

Für die Netzlistengenerierung bei der Simulation ist ein expliziter Anschluss der Versorgungsspannung über Pins besser geeignet, als die hier benutzte implizite Verbindung über die Symbole vdd und gnd, siehe **Schritt 4**. Vor Extraktion und Simulation des generierten Layouts müssten Entwurf und Testumgebung entsprechend modifiziert werden.

Die dann nachfolgenden Schritte entsprechen denen in „Full-Custom Design“:

5. Design Rule Check (für compacted)
6. Netzlistenextraktion –”–
14. Erneute Simulation der Testumgebung mit einer neu generierten Netzliste