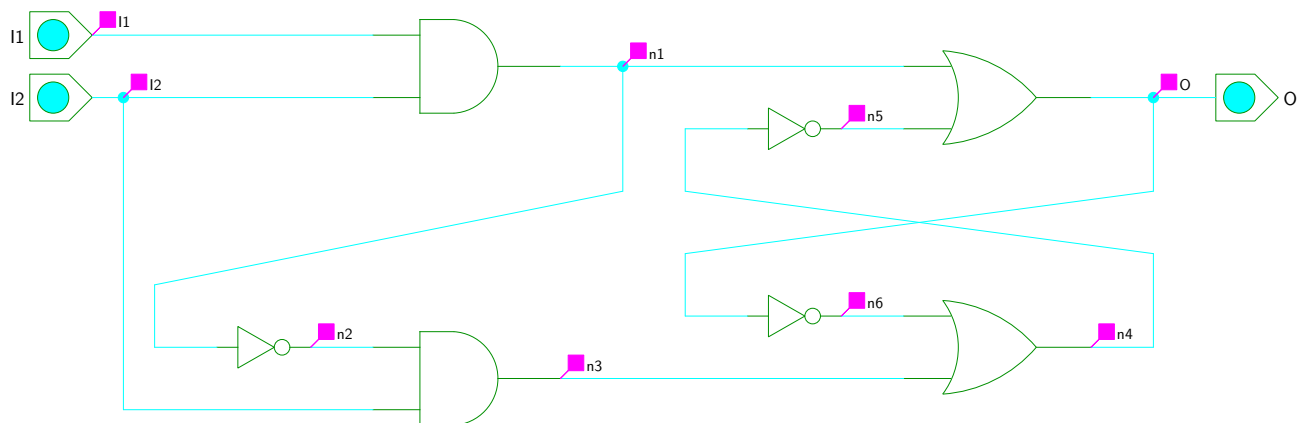


Aufgabenblatt 9 Ausgabe: 11.12., Abgabe: 18.12. 24:00

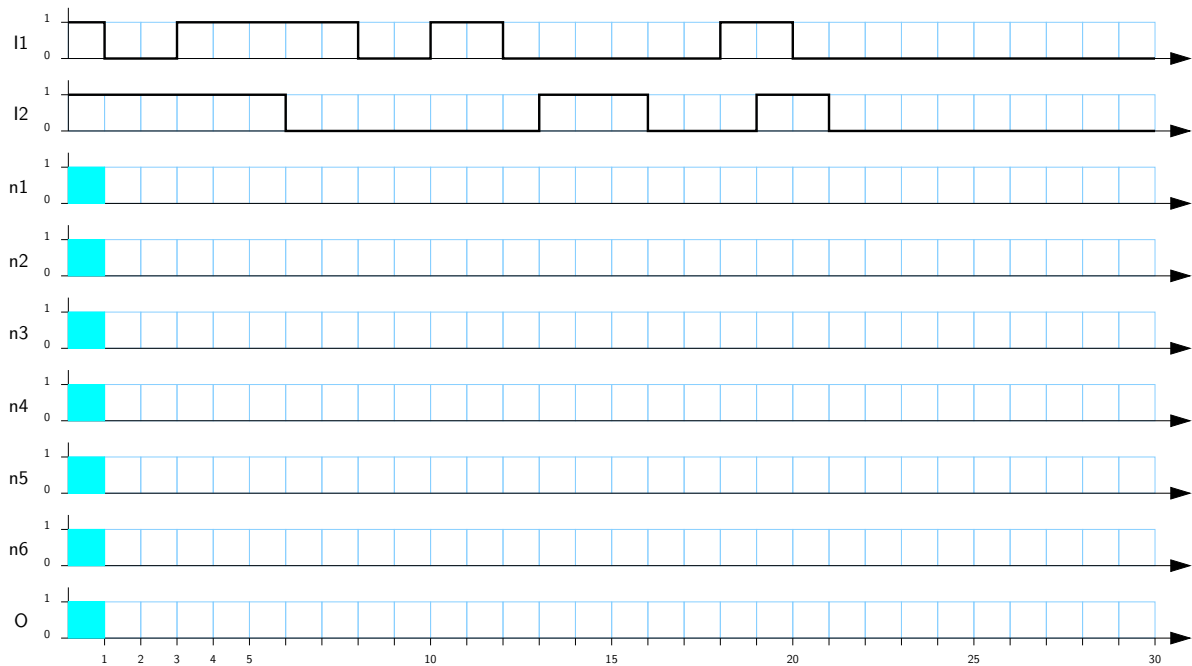
Gruppe	
Name(n)	Matrikelnummer(n)

Aufgabe 9.1 (Punkte 35)

Zeitverhalten von Schaltungen: Wir untersuchen das Zeitverhalten der folgenden Schaltung mit den beiden Eingängen $I1$ und $I2$ und dem Ausgang O .



Die Signalverzögerungszeit jedes Gatters sei genau 1 ns ist (ein Teilstrich im Diagramm). Überlegen Sie sich für die Eingaben $I1$ und $I2$ den Verlauf der Signale $n1 \dots n6$ und des Ausgangs O . Beachten Sie dabei, dass zu Beginn der Simulation alle Ausgänge als undefiniert gelten, so dass die weiter „hinten“ liegenden Leitungen möglicherweise erst nach mehreren Zeiteinheiten definierte Werte annehmen. Für undefinierte Werte x gilt in Ausdrücken: $\bar{x} = x$, $0 \vee x = x$, $1 \vee x = 1$, $0 \wedge x = 0$ und $1 \wedge x = x$.



Aufgabe 9.2 (Punkte 6·5(+1))

Flipflop Typen: Tragen Sie zu für die folgenden Flipflops den erwarteten Signalverlauf am Ausgang Q ein. Die Flipflops sind hier in VHDL-Syntax beschrieben: `entity FF` beschreibt die Ein- und Ausgänge der Flipflops, während `architecture <name>` dann die jeweilige Implementation beschreibt. Das Verhalten jedes der Flipflops ergibt sich aus den Anweisungen im Code; `rising_edge(C)`, bzw. `falling_edge(C)` sind boole'sche Funktionen die nur wahr werden, wenn auf dem Signal C eine Vorder-/Rückflanke auftritt. Wenn die jeweils angegebene Bedingung für die Zuweisung (Operator `<=>`) nicht erfüllt ist, ändert sich der Ausgang Q nicht.

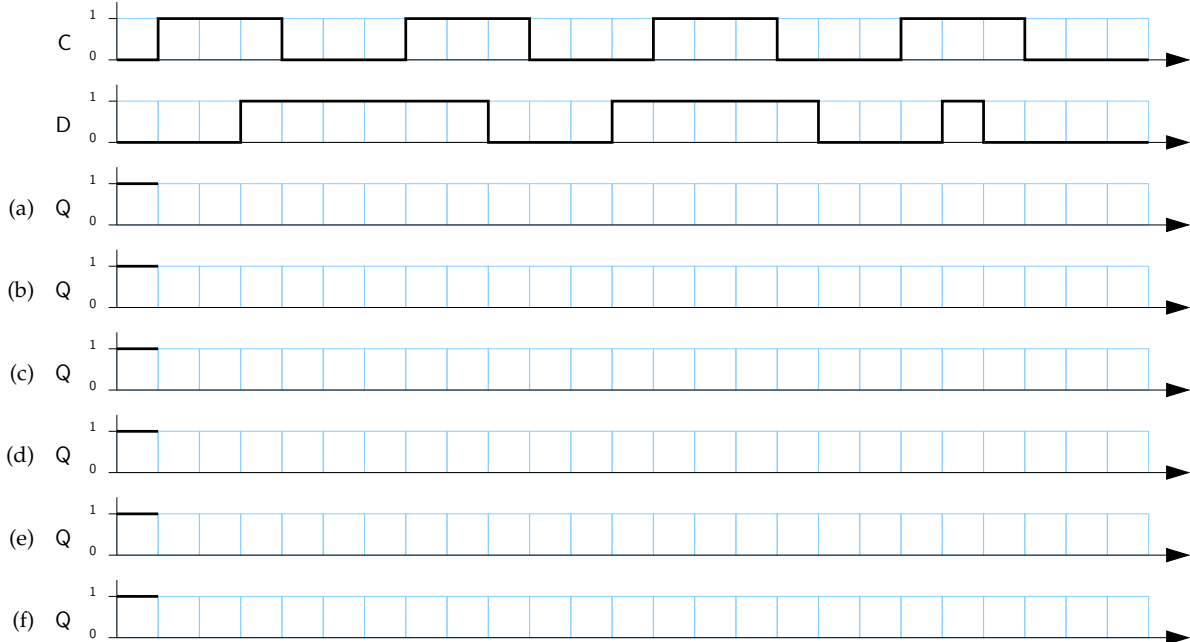
```

library IEEE;
use IEEE.std_logic_1164.all;

entity FF is
port( C      : in    std_logic;    -- Clock Eingang
      D      : in    std_logic;    -- Daten, bzw. Enable Eingang
      Q      : buffer std_logic);  -- Ausgang
end entity FF;

```

Vervollständigen Sie für jedes Flipflop das folgende Impulsdiagramm (auch hier mit einer Zeiteinheit Verzögerung je Flipflop) und geben Sie an, um was für einen Typ es sich dabei handelt (jeweils einen Zusatzpunkt).



(a) architecture ARCH92a of FF is

```
begin
  process(C) is
  begin
    if rising_edge(C) then
      Q <= not Q;
    end if;
  end process;
end architecture ARCH92a;
```

(b) architecture ARCH92b of FF is

```
begin
  process(C) is
  begin
    if rising_edge(C) and (D = '1') then
      Q <= not Q;
    end if;
  end process;
end architecture ARCH92b;
```

(c) architecture ARCH92c of FF is

```
begin
  process(C) is
  begin
    if (C = '1') then
      Q <= D;
    end if;
  end process;
end architecture ARCH92c;
```

(d) architecture ARCH92d of FF is

```
begin
  process(C) is
  begin
    if rising_edge(C) then
      Q <= D;
    end if;
  end process;
end architecture ARCH92d;
```

(e) architecture ARCH92e of FF is

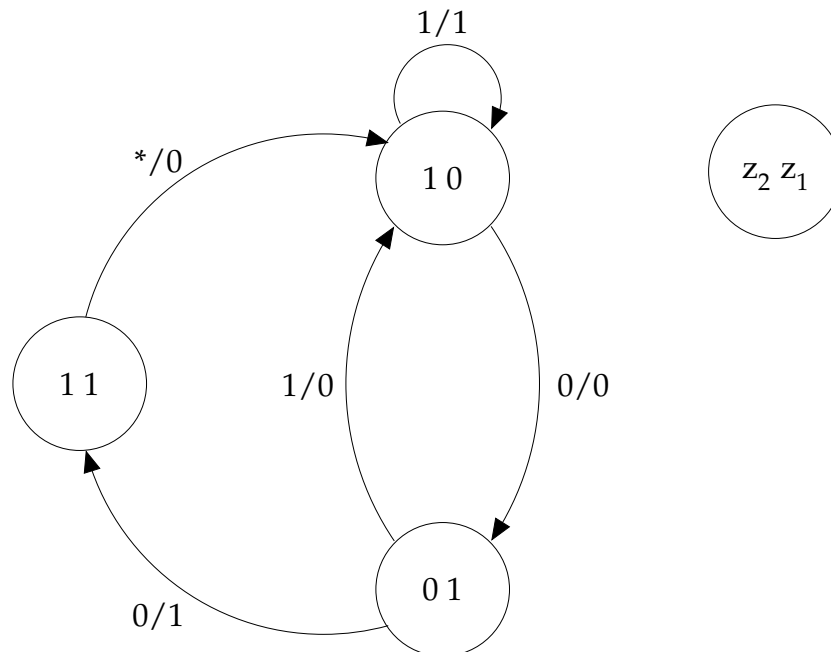
```
begin
  process(C) is
  begin
    if falling_edge(C) then
      Q <= D;
    end if;
  end process;
end architecture ARCH92e;
```

(f) architecture ARCH92f of FF is

```
begin
  process(C) is
    variable L : std_logic;           -- lokale Variable
  begin
    if rising_edge(C) then
      L := D;                          -- := ist Variablenzuweisung
    elsif falling_edge(C) then       -- Kurzform 'else if'
      Q <= L;
    end if;
  end process;
end architecture ARCH92f;
```

Aufgabe 9.3 (Punkte 10+10+5+5+5)

Schaltwerk-Analyse: Wir betrachten das Zustandsdiagramm eines Automaten mit einem Eingang x , einer Ausgabe y und den drei Zuständen $Z = (z_2, z_1) = \{(1,0), (0,1), (1,1)\}$:



- (a) Ermitteln Sie aus dem Zustandsdiagramm die zugehörigen Gleichungen für die Übergangsfunktion δ sowie die Ausgangsfunktion λ in disjunktiver Form.

Zur Lösung sollen dabei Übergangs- und Ausgangstabellen erstellt werden, die dann in KV-Diagramme übertragen werden und aus denen dann minimierte Schaltfunktionen ermittelt werden können.

- (b) Überprüfen Sie den Automaten auf Vollständigkeit (in jedem Zustand ist für jede Eingangsbelegung mindestens ein Übergang aktiv) und Widerspruchsfreiheit (in jedem Zustand ist für jede Eingangsbelegung höchstens ein Übergang aktiv).
- (c) Handelt es sich um einen Mealy- oder einen Moore-Automaten? Begründen Sie Ihre Antwort kurz.
- (d) Erstellen Sie einen Schaltplan mit HADES.
- (e) Ist der Automat in der vorgegeben Form praktisch einsetzbar?

Wenn ja: Warum?

Wenn nicht: Wie kann man das Problem lösen?