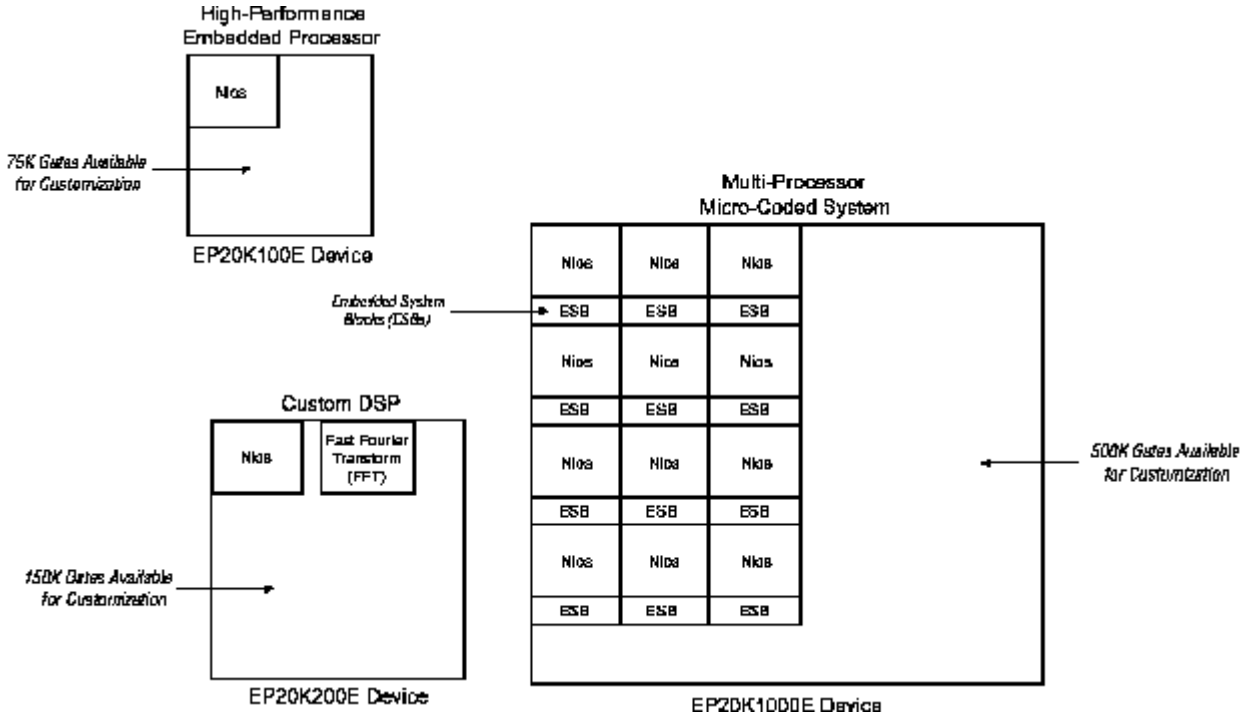
Handout zum Referat von Jan Suhr am 14.07.2001 im Seminar *Mikroprozessoren* von Norman Hendrich zum Thema:

Systementwurf mit Excalibur

Im Vergleich zu festverdrahteten Bausteinen wie ASIC's oder ASSP's bieten PLD's einige Vorteile. PLD's (programmable logic device) oder FPGA's sind rekonfigurierbaren Logik-Chips. Funktionalität erhält ein PLD erst durch das Programmieren. Dabei werden die Gatter, die die Funktionalität bilden, nach einer Software-Vorlage zusammengeschaltet. Dieser Vorgang ist beliebig oft wiederholbar.

Das Excalibur Produkt dient zur Prototypenentwicklung von Hardwarelösungen inkl. zugehöriger Software. Excalibur ist von Altera entwickelt worden und besteht im Wesentlichen aus einer externen Entwicklerkarte und zugehöriger Software. Die Software liegt in einer Variante für Windows bzw. für Solaris vor.
Kern der Entwicklerkarte ist ein PLD chip von Altera aus der APEX20K Family. Den APEX chip gibt es in drei Ausführungen, die sich in der Anzahl der konfigurierbaren Gatter unterscheiden. Den EP20K100E mit 100.000 Gattern, EP20K200E mit 200.000 Gattern und den EP20K1000E mit 1.000.000 Gattern. Geplant ist zudem eine Ausführung mit 1.500.000 Gattern.
Der Entwickler kann mit der mitgelieferten Software am PC die Logik für den APEX entwickeln und testen. Die Daten werden dazu über ein mitgeliefertes serielles Kabel vom PC zur Karte übertragen und dort in einem 1MB grossen FLASH gespeichert. Bei jedem Reset oder beim Anschalten der Karte wird der PLD mit den Daten aus dem FLASH Speicher programmiert.
Mitgeliefert wird ausserdem ein RISC Prozessor in Form von Software, der in den APEX programmiert werden kann. Dabei handelt es sich um eine Eigenentwicklung von Altera, den Nios Prozessor.



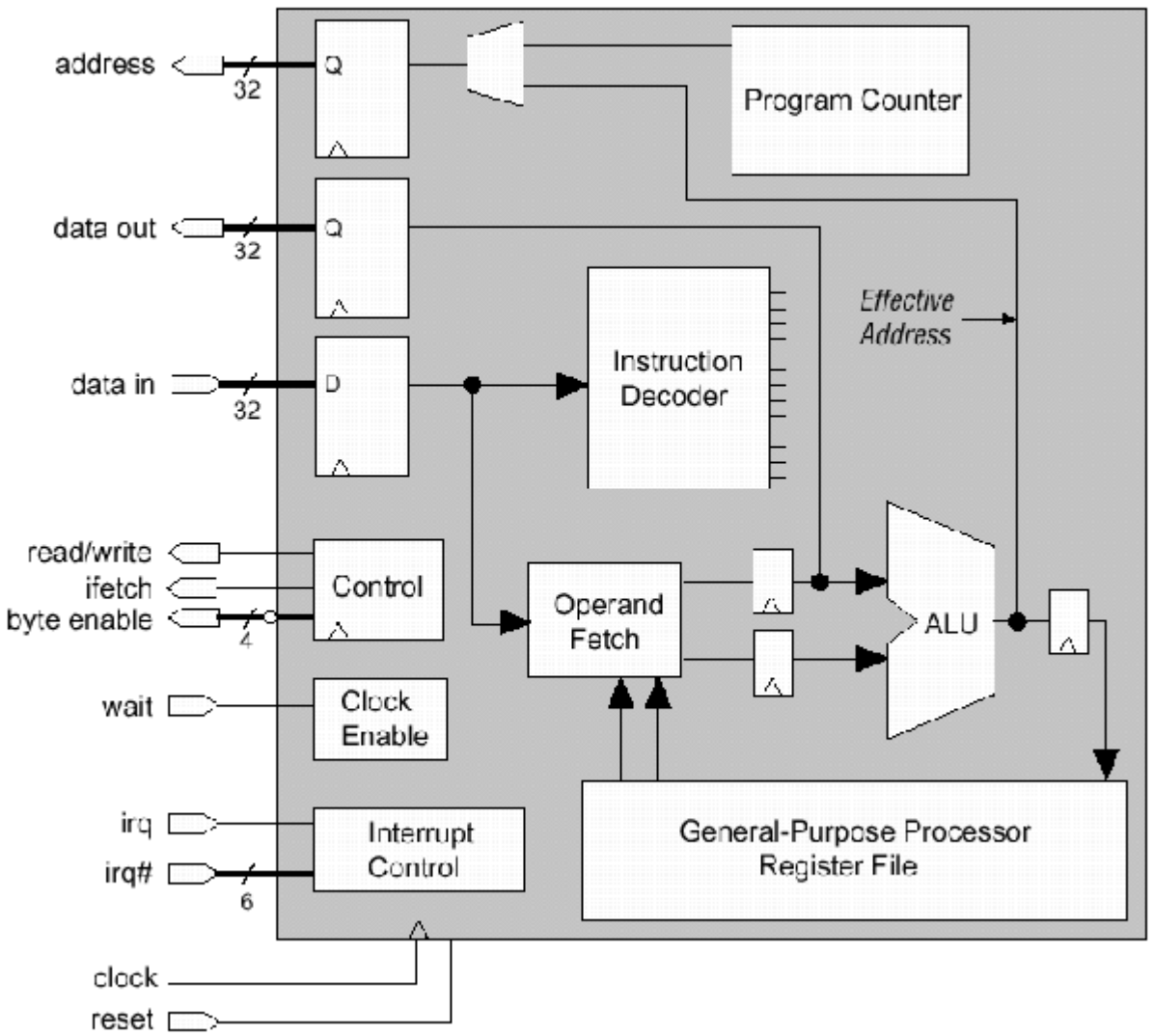
Dieser Prozessor wird als soft-core bezeichnet, da er als Software vorliegt und in das PLD programmiert wird. Der Benutzer kann den Nios entweder als 16- oder als 32-bit Variante konfigurieren. Bei der Konfiguration des Prozessors hilft ein komfortables grafisches Tool, der

MegaWizard. Dadurch bleibt es dem Entwickler erspart Code zu bearbeiten.

Nios besitzt folgende Features:

- Aufgrund des geringen Speicherverbrauchs ist der Befehlssatz 16-bit gross
- 16-/32-bit grosser Datenpfad. Durch wortweise Adressierung ergibt sich ein Speicherbereich von 128KB/8GB
- verarbeitet einen Befehl pro Taktzyklus
- 5 stufige Pipeline
- Unterstützung von on-chip Speicher. Das ist Speicher der aus verfügbaren Gattern im PLD gebildet wird.
- Unterstützung von off-chip Speicher, z.B. SRAM oder SDRAM
- Leistung bis zu 50 MIPS (Millionen Instruktionen Pro Minute)
- Registerzugriff durch ein 32 Register grosses Fenster. Bei Interrupt Behandlung enfällt so das Speichern der gerade behandelten Daten. Es genügt das Versetzen des Fensters. Der IRQ kann dadurch schnell behandelt werden.
- Registersatz enthält bis zu 512 Register
- 64 Interrupts

Figure 2. Nios Embedded Processor



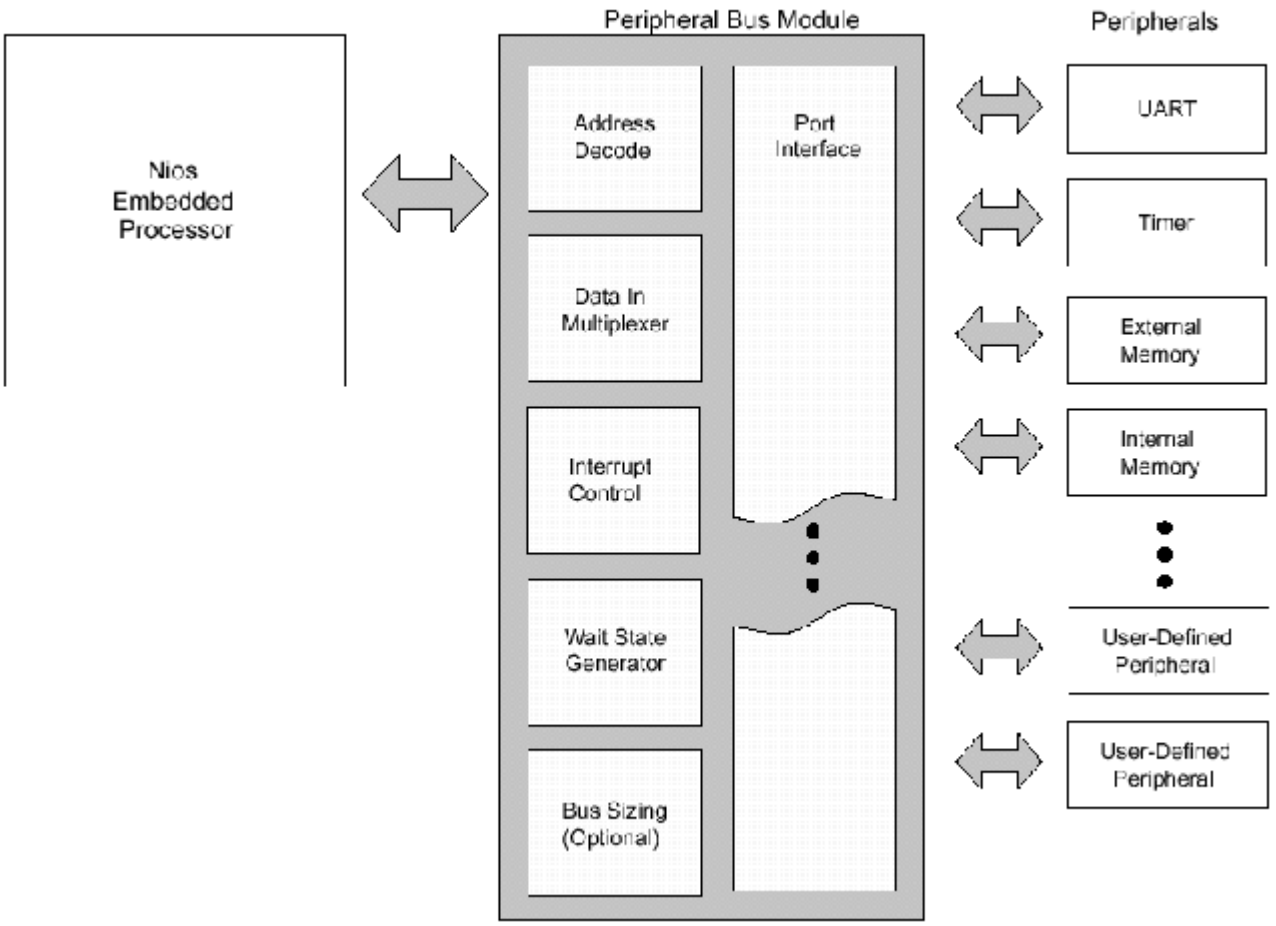
Bei Figure 2 handelt es sich um die 32-bit Variante des Nios Prozessors. Bei der 16-bit Konfiguration wären die Leitungen *address, data in, data out* nur 16-bit breit und die *byte enable* Leitung 2-bit.
Funktionsweise: Über *data in* kommen Befehle, die im Steuerwerk (*Instruction Decoder)* verarbeitet werden. Je nach Befehl steuert der *Instruction Decoder* welche Register der *Operand Fetch* aus der Registerbank (*Register File*) holen soll. Dieser holt die Daten und reicht sie an das Rechenwerk (*ALU*) weiter. Das Steuerwerk bestimmt welche Operationen das Rechenwerk auf die Daten anwenden soll. Anschliessend werden die berechneten Daten in der Registerbank gespeichert.
Der *Program Counter* setzt Adressen um. Es wird unterschieden, ob der nächste Programmbefehl oder Daten angefordert werden.
Die *Control* Einheit steuert den Speicherzugriff. *read/write* gibt an, ob es sich um einen Schreib- oder Lese-Zugriff handelt. *ifetch* zeigt an, dass Befehlsdaten geholt werden. *byte enable* dient der Adressierung.
Mittels *wait* lässt sich der Prozessor in einen Wartezustand versetzen.
Interrupt Control nimmt IRQ's entgegen. *irq#* zeigt um welchen Interrupt es sich handelt, *irq* zeigt wann der entsprechende Interrupt ausgelöst wird.
Ausserdem hat der Nios wie jeder Prozessor einen Takteingang (*clock*) der den Prozessortakt vorgibt und einen Reseteingang (*reset*) der den Prozessor in den Ausgangszustand versetzen kann.
Es handelt sich also um einen relativ simplen Prozessor der auf Platzbedarf optimiert ist.

Zu dem Prozessor existert soft-core Peripherie die wahlweise im PLD implementiert werden kann. Mitgeliefert werden:

- UART (Universal Asynchronous Receiver / Transmitter), serieller Port am PC
- PIO (Parallel Input / Output), paralleler Port am PC
- Timer
- Speicherinterface zum SRAM / FLASH

Die Kommunikation zwischen beliebiger Peripherie und dem Nios Prozessor wird über das *Peripheral Bus Module* (PBM) abgewickelt (Figure 4). Das PBM steuert je nach Adresse die entsprechende Peripherie an, leitet die Daten weiter, behandelt Interrupts oder Wartezyklen und wandelt gegebenenfalls zwischen 8/16/32-bit Peripherie und 16/32-bit Prozessor.

Figure 4. SOPC Reference Design Peripherals



Es ist natürlich auch möglich, eigene soft-core Peripherie oder eigene Hardware Peripherie zu implementieren.

Laut Altera ist ein 64-bit Nios Prozessor geplant sowie folgende Peripherien:

- IDE-Festplatten Controller
- 10/100Mbit Ethernet Controller
- SDRAM Controller
- serial peripheral interface (SPI)
- Puls Weiten Modulation (PWM) für Steuerungstechnik

Um eigene Hardware mit dem APEX zu verbinden, sind auf der Entwicklerkarte zahlreiche Anschlüsse vorhanden:

- zwei PMC Steckplätze, PCI pin-kompatibel
- drei Anschlüsse mit 3,3 Volt (14 Pins, 20 Pins, 40 Pins)
- drei Anschlüsse mit 5,0 Volt (14 Pins, 20 Pins, 40 Pins)

Ausserdem können genutzt werden:

- 4 Knöpfe
- einen 8-bit DIP Schalter
- einen SDRAM Sockel
- zwei LED's
- ein 2x7-Segment LED Display

Ein Prozessor ohne auszuführende Software ist relativ langweilig. Deswegen besteht die Möglichkeit eigene Software auf die Karte zu laden und auf dem (Nios) Prozessor auszuführen. Dies geschieht über das bereits bekannte serielle Kabel. Die Software wird im 256KB grossen SRAM gespeichert und ausgeführt. Dies erledigt ein Programm, der sogenannte GERMS Monitor, welcher standardmässig im FLASH Speicher installiert ist.
Ebenfalls standardmässig ist ein Nios mit Peripherie im FLASH gespeichert, so dass es auch möglich ist sofort mit der Softwareentwicklung zu beginnen. Hierzu dient die GNUPro Entwicklungsumgebung. Es handelt sich um eine Portierung der von Unix bekannten GNU Entwicklungstools. Der Benutzer ruft eine Shell ähnlich der MS-DOS Eingabeaufforderung auf. Es handelt sich um die Bash-Shell. Hier stehen ihm unter anderem folgende Programme zur Verfügung: GNU C/C++ Compiler, GNU Assembler, GNU Debugger und GNU Linker. Ausserdem die Editoren vim und xemacs, ein Programm zur Kommunikation mit der Entwicklerkarte und Standardtools zum Arbeiten in der Shell wie cp, mv, ls etc. Ausserdem ist ein einfacher grafischer Debugger vorhanden.
Es ist damit möglich Programme in C, C++ oder Assembler zu schreiben, zu kompilieren und auf der Karte, genauer auf dem Nios Prozessor im PLD, auszuführen. Hat man seinen eigenen Prozessor implementiert, ist es in Assembler möglich Programme zu schreiben und auszuführen.
Mit dem erwähnten GERMS Monitor Programm ist es ausserdem möglich auf beliebige Speicheradressen zuzugreifen, diese auszulesen oder zu beschreiben.

Altera bietet neben dem hier vorgestellten Excalibur Variante mit Nios zwei weitere Varianten an. Eine MIPS und eine ARM Ausführung. Diese unterscheiden sich hauptsächlich darin, dass im PLD chip zusätzlich ein festverdrahteter Bereich integriert ist, in dem sich Peripherie und ein MIPS- bzw. ARM-Kern befinden. Der Prozessor ist hier also hard-core. Dadurch ist der chip binär-kompatibel zu vielen bestehenden Prozessorausführungen und kann wesentlich schneller arbeiten als eine reine soft-core Nios Prozessor Implementierung.
Die Entwicklerkarte hat einen DDR/SDRAM Sockel, einen Ethernet Controller, Erweiterungsanschlüsse für eigene Hardware und natürlich Anschlüsse zur PC Kommunikation.

Verwendete Quellen: Altera Webseite (www.altera.com), Datenblätter von Altera (PDF's), Dokumentation der Software, die Software selber, Seminarleier.