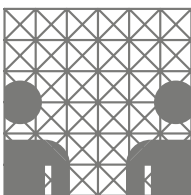


# Praktikum: VLSI-Entwurf

1

## Full-Custom Design Logikgatter



Andreas Mäder

Universität Hamburg – MIN – Fachbereich Informatik  
Arbeitsbereich Technische Aspekte Multimodaler Systeme

<http://tams.informatik.uni-hamburg.de>

In dem ersten Versuch sollen Sie sich in die Full-Custom Entwurfssoftware einarbeiten. Dazu sollen einfache „Basis-Elemente“ entworfen werden, die dann in weiteren Versuchen als Grundlage für komplexere Strukturen dienen.

### Voraussetzungen

Grundwissen zu folgenden Stichworten wird vorausgesetzt (aus Vorlesungen oder aus der Literatur):

- Aufbau von P- und N-Kanal Transistoren (N-Wannen Prozess)
- Funktionsweise von CMOS-Schaltungen

### Komplexgatter

Bei der MOS-Schaltungstechnik lassen sich neben den „einfachen“ Schaltfunktionen auch mehrstufige logische Ausdrücke als Layout realisieren. Dabei gelten aber folgende Einschränkungen:

- Die Ausgänge der Schaltung sind immer negiert. Dies ergibt sich direkt durch die Schaltungstechnik und gilt natürlich auch für die einfachen Gatter: Inverter, Nand und Nor.

Durch entsprechende Kombinationen der P- und N-Kanal Transistoren lassen sich Ausdrücke aus  $\vee$  und  $\wedge$  mit beliebiger Klammerung aufbauen, die anschließend insgesamt negiert werden, z.B.:  $\overline{(a \wedge b \wedge c) \vee d \vee (e \wedge f)}$

- Es sollten nicht zu viele Transistoren *in Reihe* geschaltet werden, da sonst die Schaltgeschwindigkeit des Ausgangs zu langsam wird. Üblicherweise werden dies drei bis maximal vier P-, bzw. N-Kanal Transistoren, sein.

Elektrisch ist es deshalb besser (schnelleres Schaltverhalten), Ausdrücke, die mehr Eingänge erfordern, durch die Hintereinanderschaltung einzelner Gatter als mehrstufige Logik zu realisieren.

- Aus obiger Einschränkung ergibt sich direkt, dass die logischen Ausdrücke, die mit Komplexgattern realisiert werden, keine große Schachtelungstiefe haben sollten. In der Praxis beschränkt man sich deshalb auf ein bis zwei Klammerebenen.

### Arbeitsweise

Die einzelnen Schritte entsprechen in ihrer Abfolge dem in „Full-Custom Layout“ beschriebenen Entwurfsvorgehen:

1. Entwerfen Sie mit den CADENCE-Werkzeugen ein flächeneffizientes Layout der Schaltung unter Einhaltung der „Design Rules“ mit dem  $0,35 \mu\text{m}$  AMS-Prozess. Zeichnen Sie dazu die Geometrien der verschiedenen Layer in eine layout-Repräsentation und überprüfen Sie die Einhaltung der Regeln durch einen kompletten DRC.

**Tipp:** Um Teile später in Form von Hierarchien weiterzuverwenden, ist es sinnvoll die Basiselemente alle in gleicher Höhe aufzubauen. Dadurch können sie später so aneinandergesetzt werden, dass durchgehende Leitungen für vdd und gnd entstehen.

2. Kennzeichnen Sie die Anschlüsse der Schaltung, so dass die Ein- und Ausgänge in der Simulation angesprochen werden können. Anschließend können Sie die Netzliste extrahieren.

3. Erzeugen Sie ein Symbol für Ihr Design, welches dann in eine Testumgebung eingesetzt werden kann.
4. Mit Hilfe des Schematic-Editors kann jetzt eine Testumgebung beschrieben werden. Sie treibt die Eingänge und simuliert externe Lasten an den Ausgängen der Schaltung. Benutzen Sie dazu, wie in der Beschreibung, Lastkapazitäten von  $0,1\text{ pF}$ .
5. Simulieren Sie die entworfene Gesamtschaltung mit dem Analogsimulator und messen Sie dabei die Verzögerungszeiten (50% Eingangsspannung zu 50% Ausgangsspannung).

Dimensionieren Sie dabei die P- und N-Kanal Transistoren so, dass am Ausgang der Schaltung  $0 \rightarrow 1$  und  $1 \rightarrow 0$  Wechsel gleich schnell erfolgen. Dazu muss das Verhältnis von Kanalweite zu Kanallänge geändert werden — in der Literatur findet man dazu „Faustregeln“.

**Aufgaben**

I-1 Entwerfen Sie ein Layout für einen **Inverter** und überprüfen Sie die Korrektheit der entworfenen Schaltung durch geeignete Simulation.

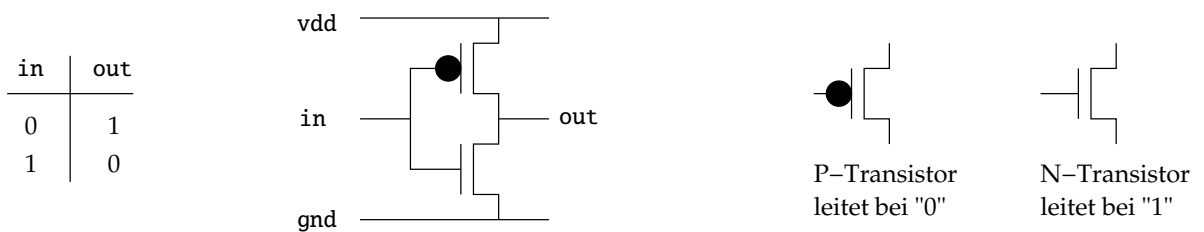
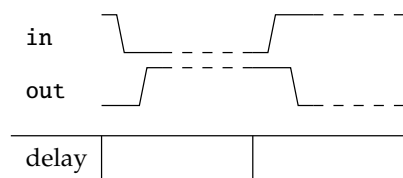


Abbildung 1: Inverter

Messen Sie die Verzögerungszeiten und versuchen Sie dabei P- und N-Kanal Transistoren so zu dimensionieren, dass ein möglichst symmetrisches Schaltverhalten erreicht wird. Gemessen wird dabei die Zeit zwischen dem Erreichen von  $1,65\text{ V}$  auf der Eingangsflanke zu dem entsprechenden Wert auf der Ausgangsflanke. Tragen Sie die Ergebnisse in die Tabelle ein:



I-2 Entwerfen Sie ein Layout für ein **2-Input NOR** und überprüfen Sie die Korrektheit der entworfenen Schaltung durch geeignete Simulation.

in1	in2	out
0	0	1
0	1	0
1	0	0
1	1	0

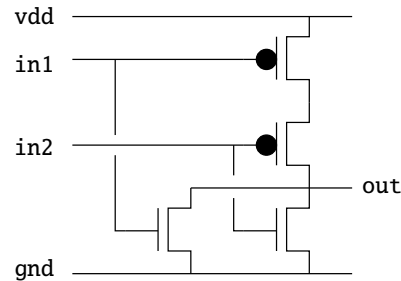


Abbildung 2: 2-Input NOR

I-3 Entwerfen Sie ein Layout für ein **3-Input NAND** und überprüfen Sie die Korrektheit der entworfenen Schaltung durch geeignete Simulation.

**Fragen:**

- Welchen Einfluss haben die Eingänge auf die Schaltgeschwindigkeit des Ausgangs?
- Wenn Sie bei der Simulation einen Unterschied zwischen den Eingängen feststellen konnten, wodurch lässt sich der Effekt erklären?

in1	in2	in3	out
0	0	0	1
0	0	1	1
0	1	0	1
0	1	1	1
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	0

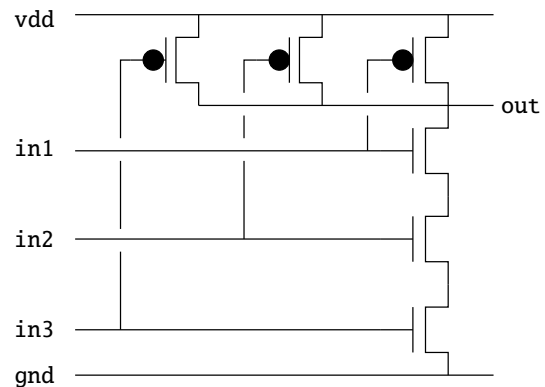


Abbildung 3: 3-Input NAND

I-4 Entwerfen Sie ein Layout für ein **Komplexgatter** und überprüfen Sie die Korrektheit der entworfenen Schaltung durch geeignete Simulation.

Das Gatter soll folgende Schaltfunktion realisieren:  $\overline{(a1 \wedge a2)} \vee o1$

**Fragen:**

- Wie sieht die Transistornetzliste der Schaltung aus?

a1	a2	o1	out
0	0	0	1
0	0	1	0
0	1	0	1
0	1	1	0
1	0	0	1
1	0	1	0
1	1	0	0
1	1	1	0

Abbildung 4: Komplexgatter  $\overline{(a1 \wedge a2)} \vee o1$