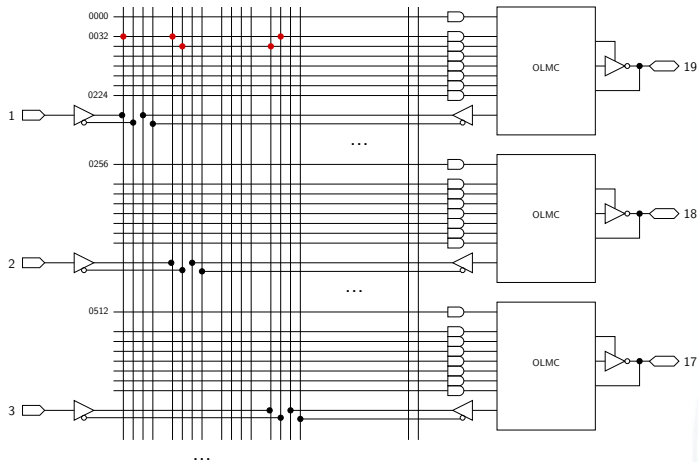


Kompromiss zwischen fest aufgebauter Hardware und Software-basierten Lösungen

- Realisierung anwendungsspezifischer Funktionen und Systeme
 - vom Anwender (evtl. mehrfach) programmierbar
 - gute bis sehr gute Performanz $\Rightarrow$ an Aufgabe angepasste Hardware
 - Entwurfsaufwand: einfach (PROM) ... hoch (komplexe FPGAs)
- Klassifikation nach Struktur und Komplexität
 - PROM Programmable Read-Only Memory
 - PAL Programmable Array Logic
 - GAL Generic Array Logic
 - PLA Programmable Logic Array
 - CPLD Complex Programmable Logic Device
 - FPGA Field-Programmable Gate Array
 - ...

- disjunktive UND-ODER Struktur
- externe Eingänge und Ausgangswerte direkt/invertiert
- „Fuses“ verbinden Eingangswerte mit den AND-Termen
- programmierbare Ausgabezellen (OLMC) mit je einem D-Flipflop
- Output-Enable über AND-OR Matrix steuerbar
- drei Optionen
 - synchron/kombinatorisch (Flipflop nutzen oder umgehen)
 - Polarität des Eingangs (D oder $\overline{D}$ speichern)
 - Polarität des Ausgangs (Q oder $\overline{Q}$ ausgeben)
- Rückkopplungen für komplexere Logik oder (einfache) Automaten
- Beispiel: GAL16V8 mit 8 Ausgabezellen, je 7+1 OR-Terme pro Ausgabezelle, 32 Eingänge pro Term

GAL: Blockschaltbild (Ausschnitt)



- programmierbare Sicherungen durchnummeriert
- kompakte Darstellung der UND-Terme: je eine Zeile
- Beispiel: zweiter Term (Zeile 0032) $y = 1 \vee 2 \vee \bar{3}$

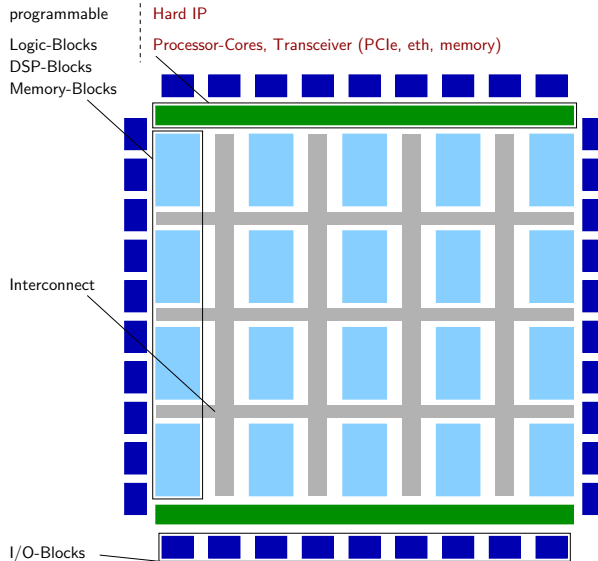
64-210 Eingebettete Systeme

Sammelbegriff für „komplexere“ anwenderprogrammierbare Schaltungen

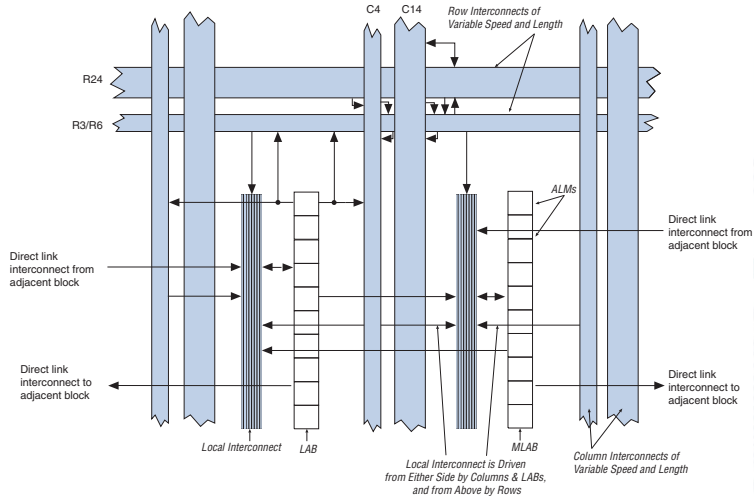
- Matrix von kleineren programmierbaren Zellen, typisch:
 - SRAM als Lookup für Funktionen
 - programmierbare Register
 - Carry-Lookahead Logik
- Multiplexer-Netzwerk als programmierbare Verbindung
- zusätzliche „Makrozellen“
 - Multiplizierer, FP-Recheneinheiten, KI-Beschleuniger
 - eingebettete Prozessorkerne
 - A/D + D/A Wandler
- IO-Zellen
 - schnelle serielle Kommunikation
 - PLLs (programmierbare Taktgeneratoren)
- generierte Komponenten: ROM, RAM, FIFO ...

- fertige IP-Blöcke („*Intellectual Property*“), wie Programmbibliotheken nutzen
 - Netzwerkprotokolle (Ethernet ...)
 - Bussysteme (PCIe ...)
 - Prozessor- und DSP-Kerne
 - Speichercontroller ...
- Komplexität
 - $\approx 3\,000$ nutzbare I/O
 - ≈ 40 Mio. Register (1-bit)
 - $\approx 2,0$ GHz, 7 nm Prozesstechnik
 - ≈ 92 Mrd. Transistoren
- Hersteller
 - Xilinx Inc. (Advanced Micro Devices Inc.)
 - Altera Corporation (Intel Corporation)
 - Microchip Technology Inc.
 - Lattice Semiconductor Corporation
 - Achronix Semiconductor Corporation ...

FPGA Struktur: programmierbare + fest vorgebene Bereiche

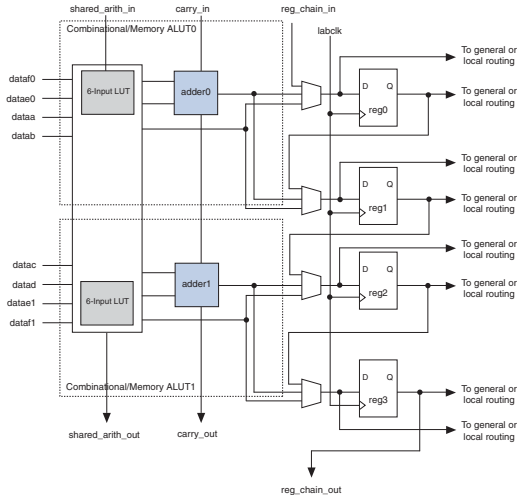


■ Verbindungsnetzwerk



[Intel FPGA]

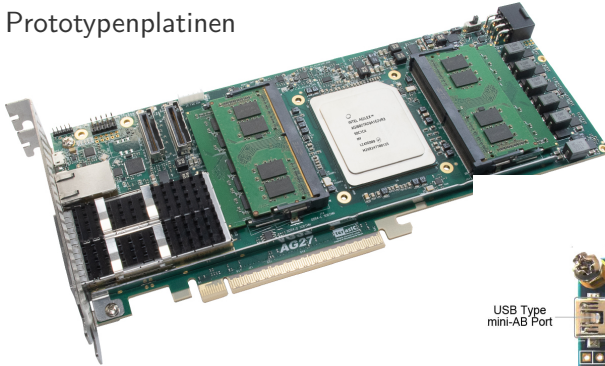
■ programmierbarer Block



[Intel FPGA]

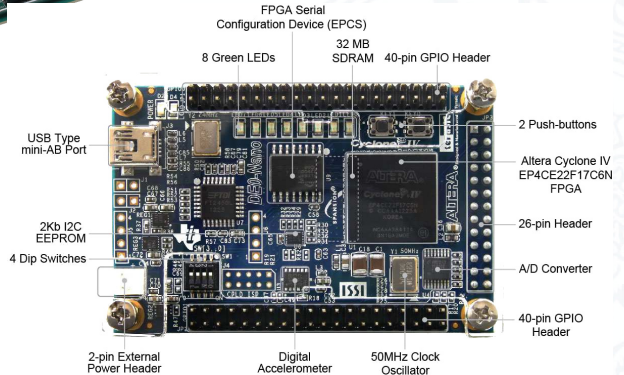
■ Prototypenplatinen

z.B.: Terasic Inc. www.terasic.com.tw

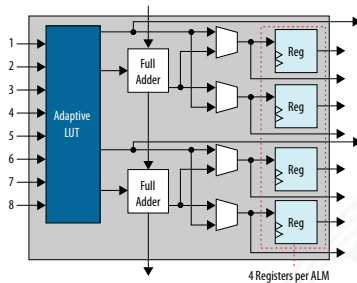


von a.A. (> 15 000 \$)

bis < 100 \$

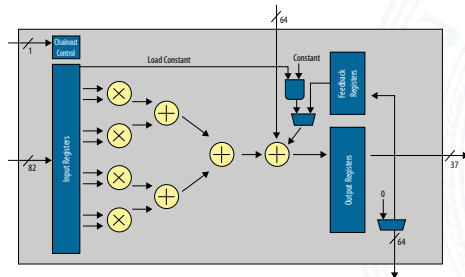


■ Logic-Block



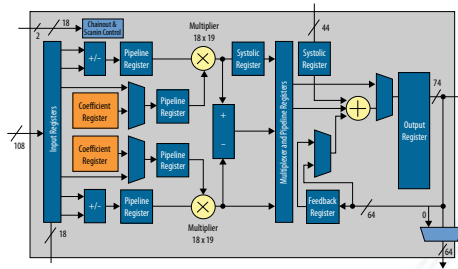
[Intel Agilex]

■ DSP-Block

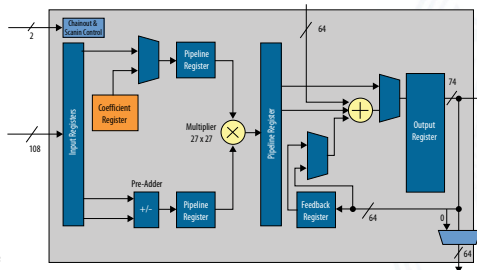


■ DSP-Block

Standard Precision Fixed Point Mode

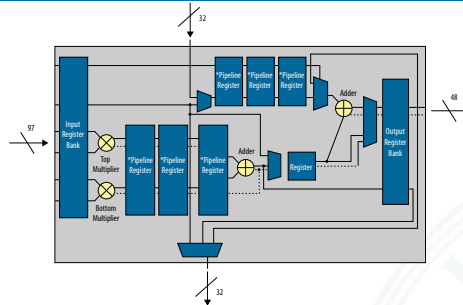


High Precision Fixed Point Mode

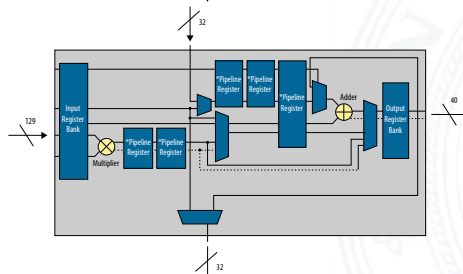


■ DSP-Block

Half Precision Floating Point (16-bit)



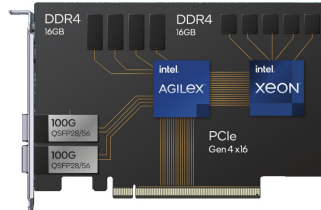
Single Precision Floating Point (32-bit)



■ Intel Agilex

[Intel FPGA]

Intel Agilex F-Series Device Names	Logic Elements (LE)	eSRAM Blocks	eSRAM Mbits	M20K Blocks	M20K Mbits	MLAB Counts	MLAB Mbits	Variable Precision DSP Blocks	18x19 Multipliers
AGF 004	392,000	0	0	1,900	38	6644	4.3	1,640	2.3K
AGF 006	573,480	0	0	2,844	56	9720	6.2	1,640	3.3K
AGF 008	764,640	0	0	3,792	74	12960	8.3	2,296	4.6K
AGF 012	1,200,000	2	36	5,568	110	20338	13	4,000	8K
AGF 014	1,437,240	2	36	7,110	139	24,360	15.6	4,510	9K
AGF 022	2,200,000	0	0	11,616	210	37288	21	6,250	12.5K
AGF 027	2,692,760	0	0	13,272	259	45,640	29.2	8,736	17K



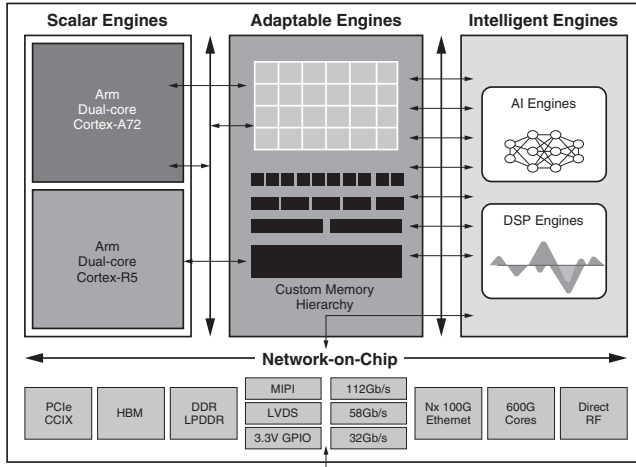
■ Xilinx Versal

[Xilinx]

		VP1002	VP1052	VP1102	VP1202	VP1402	VP1502	VP2502	VP1552	VP1702	VP1802	VP2802	VP1902
AI Engine	AI Engines Tiles	-	-	-	-	-	-	472	-	-	-	472	-
	AI Engine Data Memory (Mb)	-	-	-	-	-	-	118	-	-	-	118	-
Programmable Logic	System Logic Cells (K)	833	1,186	1,575	1,969	2,233	3,763	3,738	3,837	5,558	7,352	7,326	18,507
	LUTs	380,800	542,080	719,872	900,224	1,020,928	1,720,448	1,708,672	1,753,984	2,540,672	3,360,896	3,349,120	8,460,288
	DSP Engines	1,140	1,572	1,904	3,984	2,672	7,440	7,392	7,392	10,896	14,352	14,304	6,864
	NoC Master / NoC Slave Ports	22	22	30	28	42	52	52	52	76	100	100	192
	Super Logic Regions (SLRs) ⁽¹⁾	-	-	-	-	-	2	2	2	3	4	4	4
	Distributed RAM (Mb)	12	17	22	27	31	53	52	54	78	103	102	258
Memory	Block RAM (Mb)	19	26	49	47	70	89	89	89	132	174	174	239
	UltraRAM (Mb)	97	138	127	190	181	366	366	366	541	717	717	619
	Multiport RAM (Mb)	80	80	-	-	-	-	-	-	-	-	-	-
	Total PL Memory (Mb)	208	261	198	264	282	508	507	509	751	994	994	1116
	DDR Memory Controllers	2	2	3	4	3	4	4	4	4	4	4	14
	DDR Bus Width	128	128	192	256	192	256	256	256	256	256	256	896
Processing System	Application Processing Unit	Dual-core Arm® Cortex®-A72, 48 KB/32 KB L1 Cache w/ parity & ECC; 1 MB L2 Cache w/ ECC											
	Real-Time Processing Unit	Dual-core Arm Cortex-R5F, 32 KB/32 KB L1 Cache, and 256 KB TCM w/ECC											
	Memory	256 KB On-Chip Memory w/ECC											
	Connectivity	Ethernet (x2); UART (x2); CAN-FD (x2); USB 2.0 (x1); SPI (x2); I2C (x2)											
Serial Transceivers	GTY Transceivers	8	8	-	-	-	-	-	-	-	-	-	-
	GTY Transceivers	-	-	8	28 ⁽²⁾	8	28 ⁽²⁾	28 ⁽²⁾	68 ⁽²⁾	28 ⁽²⁾	28 ⁽²⁾	28 ⁽²⁾	128
	GTM Transceivers (58G (112G))	24 (12)	36 (18)	64 (32)	20 (10)	96 (64) ⁽³⁾	60 (30)	60 (30)	20 (10)	100 (50)	140 (70)	140 (70)	32 (16)
Integrated Protocol IP	PCIe® w/DMA (CPM4)	2 x Gen4x4	2 x Gen4x4	-	-	-	-	-	-	-	-	-	-
	PCIe w/DMA (CPM5)	-	-	-	2 x Gen5x8	-	2 x Gen5x8	2 x Gen5x8	2 x Gen5x8	2 x Gen5x8	2 x Gen5x8	2 x Gen5x8	-
	PCI Express	1 x Gen4x8	1 x Gen4x8	2 x Gen5x4	2 x Gen5x4	2 x Gen5x4	2 x Gen5x4	2 x Gen5x4	8 x Gen5x4	2 x Gen5x4	2 x Gen5x4	2 x Gen5x4	16 x Gen5x4
	100G Multirate Ethernet MAC	3	5	6	2	6	4	4	4	6	8	8	12
	600G Ethernet MAC	2	3	7	1	11	3	3	1	5	7	7	4
	600G Interlaken	1	2	0	0	0	1	1	0	2	3	3	0
	400G High-Speed Crypto Engine	1	1	3	1	4	2	2	2	3	4	4	0

⇒ FPGAs gehören zu den komplexesten ICs (≈ 92 Milliarden Transistoren)

- Rechenbeschleuniger in Workstations und PCs
- dynamische (Teil-) Konfiguration zur Programmlaufzeit



Xilinx Versal ACAP
(Adaptive Compute Acceleration Platform)
[Xilinx Versal]