



64-189

Projekt: Entwurf eines Mikrorechners

[https://tams.informatik.uni-hamburg.de/
lectures/2020ws/projekt/mikrorechner](https://tams.informatik.uni-hamburg.de/lectures/2020ws/projekt/mikrorechner)

– Einführung –

Andreas Mäder, Bernd Schütz



Universität Hamburg
Fakultät für Mathematik, Informatik und Naturwissenschaften
Fachbereich Informatik
Technische Aspekte Multimodaler Systeme

05. November 2020



▶ Termine

Zeit Donnerstag, ab 14:00

BBB siehe Moodle

1. Plenum

- ▶ Einführung am Anfang
- ▶ Vorstellung von (Zwischen-) Ergebnissen

2. praktische Arbeit in Kleingruppen

- ▶ Selbstorganisation der Arbeitsgruppen

▶ Info im Moodle

<https://lernen.min.uni-hamburg.de>

lokale Web-Seiten

<https://tams.informatik.uni-hamburg.de/lectures/2020ws/projekt/mikrorechner>



- ▶ Entwurf und Programmierung eines Mikrorechners
- ▶ aktuelle Architekturkonzepte
 - ▶ RISC-Befehlssatz
 - ▶ Pipelineverarbeitung
 - ▷ Caches
 - ▷ Sprungvorhersage
 - ▷ parallele Ausführungseinheiten
 - ▷ Pipeline Forwarding
 - ▷ virtueller Speicher
 - ▷ Interrupts





Zwei Aspekte der Rechnerarchitektur

1. Hardwarestruktur: Art und Anzahl der Hardware-Betriebsmittel und deren Verbindungsstruktur
= Mikroarchitektur, hier z.B. Harvard-Architektur
 2. Operationsprinzip: das funktionelle Verhalten der Architektur
= ISA – Instruction **S**et **A**rchitecture
= Programmierschnittstelle
- ⇒ Möglichkeiten zur Arbeit in dem Projekt



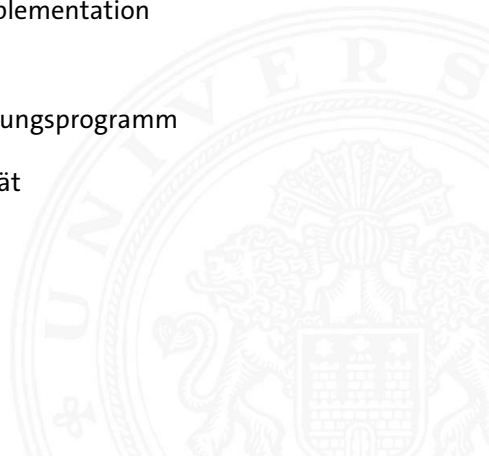


1. Hardware-Bezug

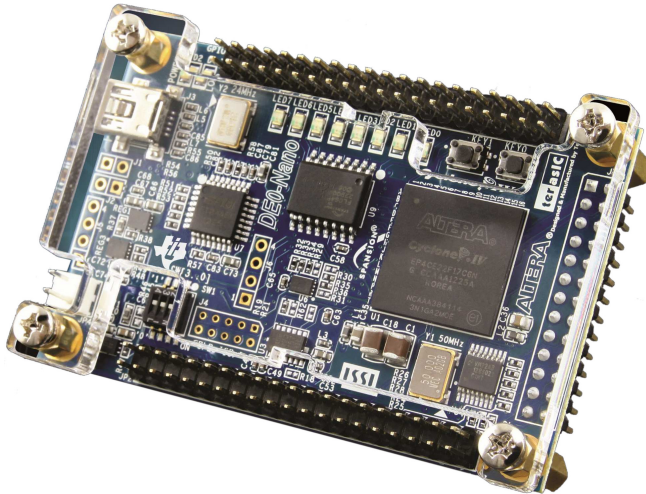
- ▶ VHDL-Implementation der zugrundeliegenden Architektureinheiten
- ▶ Simulation der Hardwareeinheiten
- ▶ Synthesewerkzeuge zur Implementation

2. Software-Bezug

- ▶ Assembler
- ▶ Demonstrations- / Anwendungsprogramm
- ▶ Compiler
- ▶ Betriebssystemfunktionalität



FPGA-Prototypenplatte



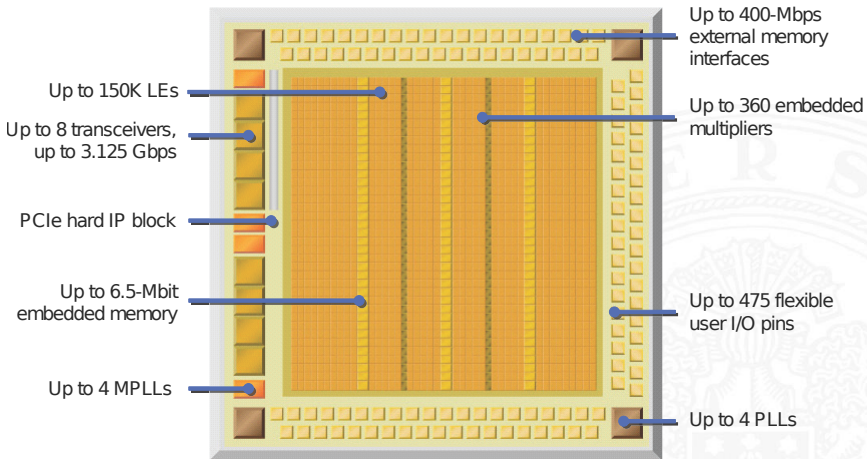


Field Programmable Gate Array

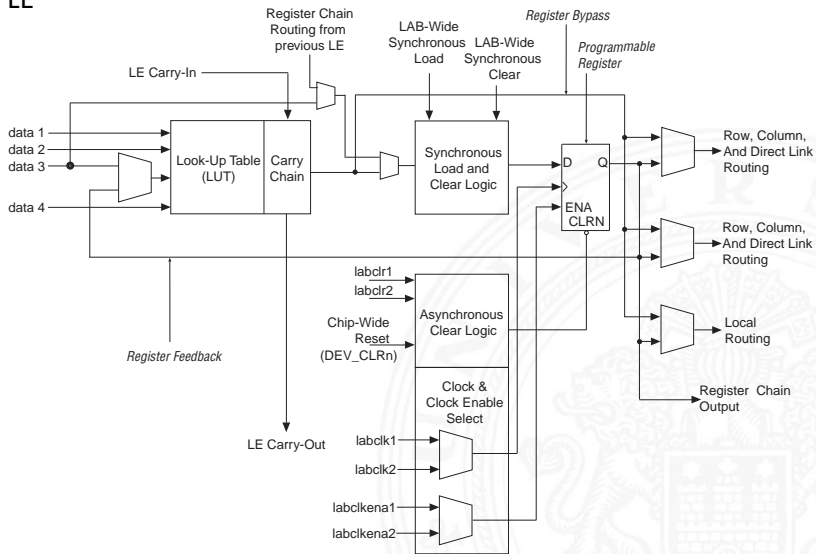
„Programmierbare Hardware“: kann durch Konfiguration so geschaltet und verbunden werden, dass sich beliebige Netzlisten aus logischen Gattern, Flipflops, Addierern, etc. realisieren lassen

1. Schaltnetze ⇒ boole'sche Funktionen
2. Schaltwerke ⇒ endliche Automaten
3. komplexe Systeme ⇒ Prozessoren, etc.

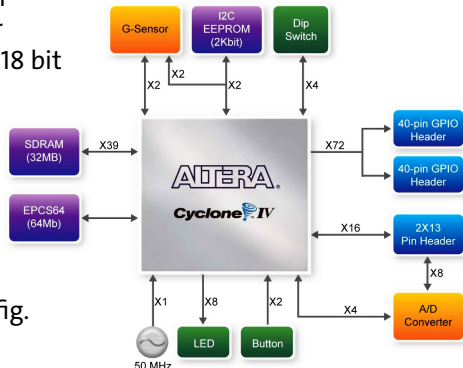
► Altera CycloneIV



► LE



- ▶ programmierbare Hardware: FPGA
 - ▶ Cyclone IV EP4CE22F17C6N [60 nm Prozess, 2009]
 - ▶ 153 I/O Pins, gesamt 256 Pins
 - ▶ 22 320 LEs \approx 270 000 Gatter
 - ▶ 594 Kbit (interner) Speicher
 - ▶ 66 HW-Multiplizierer: 18×18 bit
 - ▶ 4 PLLs
- ▶ On-Board Speicher
 - ▶ 32MB SDRAM
 - ▶ 2Kbit I²C EEPROM
- ▶ Konfiguration
 - ▶ über USB Schnittstelle
 - ▶ EPCS64: Flash, serielle Konfig.



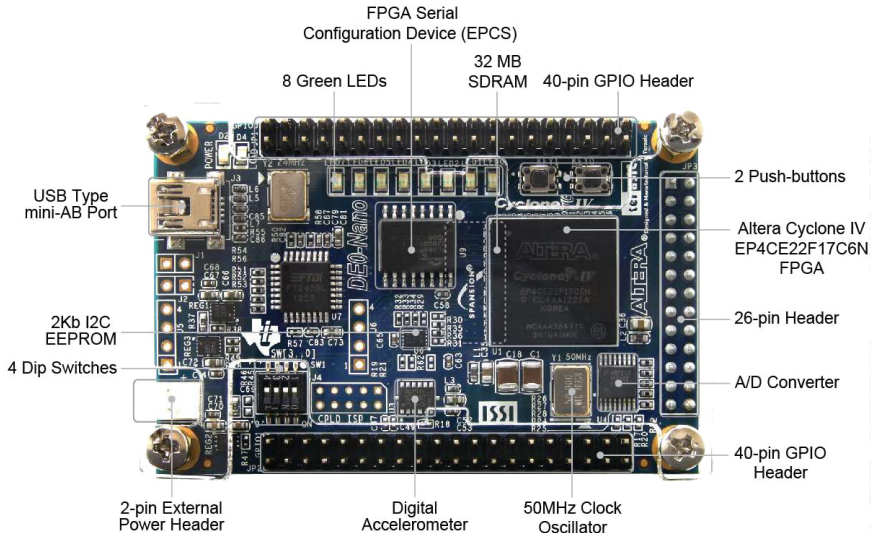
- ▶ Ein-/Ausgabe
 - ▶ 8 LEDs
 - ▶ 2 Taster
 - ▶ 4 DIP Schalter
- ▶ Beschleunigungssensor: ADXL 345, 3-Achsen, 13-bit Auflösung
- ▶ A/D Wandler: ADC128S022, 8-Kanal, 12-bit Auflösung
- ▶ Erweiterungsstecker
 - ▶ 2 × 40-Pin: 72 I/O Pins + Spannungsversorgung; 5V, 3,3V, Gnd
 - ▶ 26-Pin: 16 I/O Pins + 8 analoge Eingänge

z.B. Verbindung zu (Character-) Display

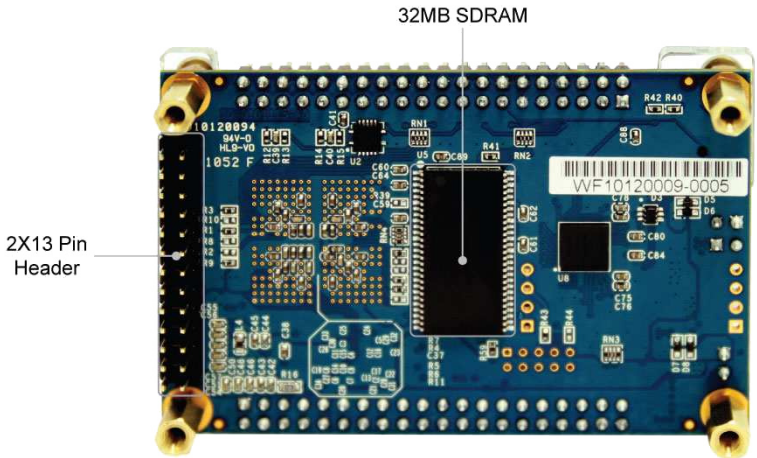
- ▶ vordefinierte IP-Schnittstelle: cDisp14x6
- ▶ 14 × 6 Zeichen



DEO-Nano (cont.)



DEO-Nano (cont.)





- ▶ Grundlagenvermittlung / Vorlesung Plenum
- 1. Festlegung der ISA Plenum
- 2.a Hardwareentwurf Kleingruppen
- 2.b Softwareentwurf Kleingruppen

- ▷ Koordination Plenum
- ▷ Diskussion der Ergebnisse Plenum

- ⇒ Projektbericht als Abschluss

