

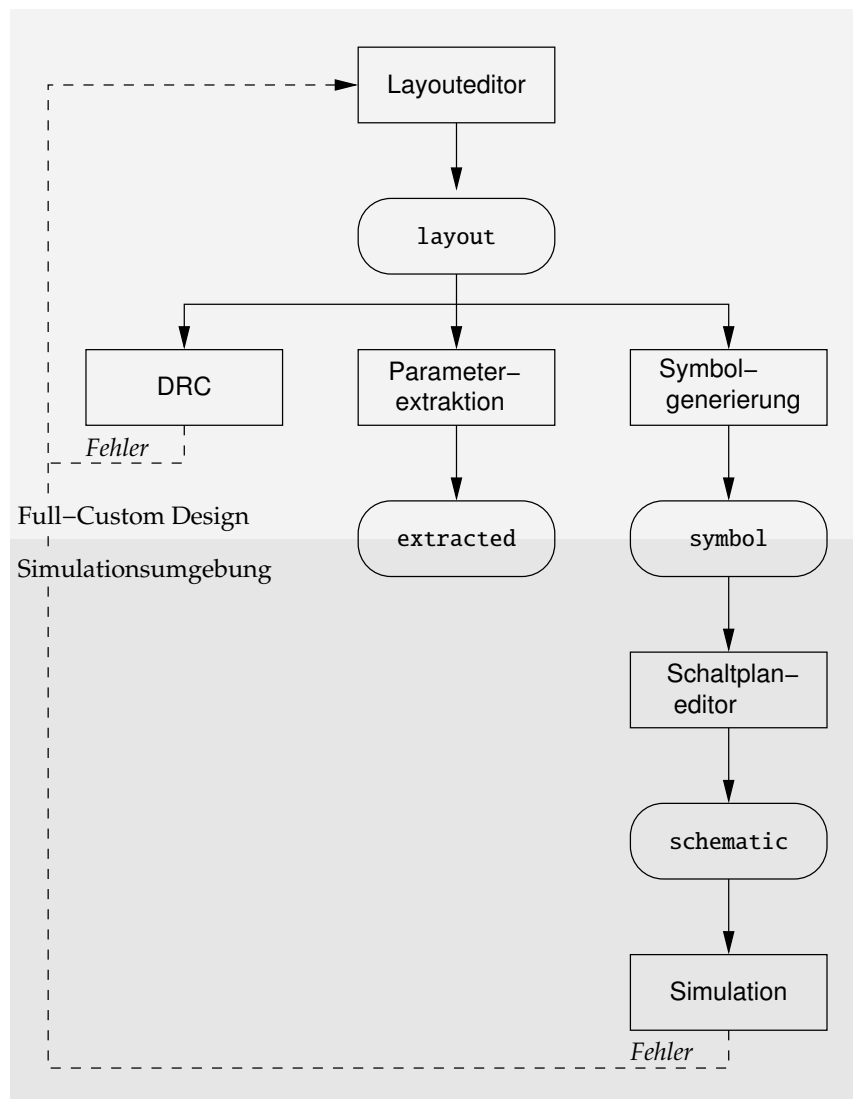
Full-Custom Design

Werkzeuge : CADENCE IC-Design / Analog Design-Environment
Design-Kits : AMS Hit-Kit
designSetup : ic_ams



Dem Full-Custom Layout liegt folgender Entwurfsablauf zugrunde:

1. Eingabe des Layouts mit dem Layout-Editor
2. Kontrolle durch einen Design Rule Check
3. Extraktion der elektrischen Netzliste für die Simulation
4. Aufbau einer geeigneten Testumgebung
5. Simulation der Schaltung



Layouteingabe

1. Initialisierung der Shell und Start des Systems:

```

maeder on tams85: /home/tams_1/maeder/demo - Befehlsfenster - Konsole
Sitzung Bearbeiten Ansicht Lesezeichen Einstellungen Hilfe
[maeder@tams85]~/demo>source ~/maeder/design.Setup
-----
design.Setup          Andreas Maeder          2005.01

SYNOPSYS  [syc | syn] Synthesis, Verification    v2003.06 / v2004.06
           [vss | vcs] Simulation tools                v2001.09 / v7.2
           [lmc] [hsp] Smartmodel / HSpice             v2004.12 / v2004.09
           [lay] Layout-Simulation                    v2004.12      ...

CADENCE   [ic | ic2] IC-Design Framework    ic5.0.33 / ic4.4.2 ...
           [ldv] Simulation, Synth., Verif.          ldv5.1        ...
           [soc] SoC Encounter: Synthese+P&R          soc3.3        ...
           [pr] Placement & Routing                  se5.4         ...
           [pcb] PCB-Design                      psd15.1

Design-Kits      SYNOPSYS / CADENCE
[ams]            +AMS HitKit                      v3.60
[es2]            +ES2 CDK                      v5.2.0

FPGAs          [alt]      QuartusII, NIOS          v4.0,      v3.2
               [xil]      Alliance                v6.3.01i

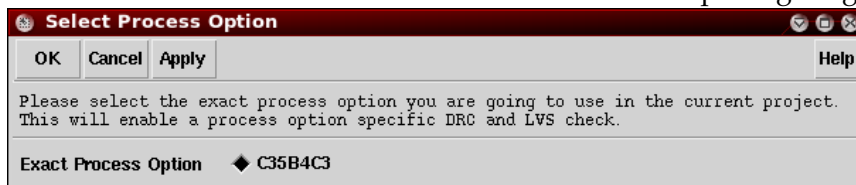
[input]         -information about the tools
[none]          -reset all paths to original values

input:         ams ic
--tools...    -----online-doc. --version -----
-
AMS           Hit-Kit                      ->amshithelp v3.60
Cadence       IC-stream                     ->ichelp     v5.0.33USR2
              Assura: drc, lvs, extract    ->asshelp   v3.1.2
              IC-Craftsman                 v11.1
              Neockt: circuit sizing/opt. ->neohelp   v3.1
              SubstrateStorm               ->snahelp   v3.2
              UltraSim                     v4.1
              Aptivia                      v3.3

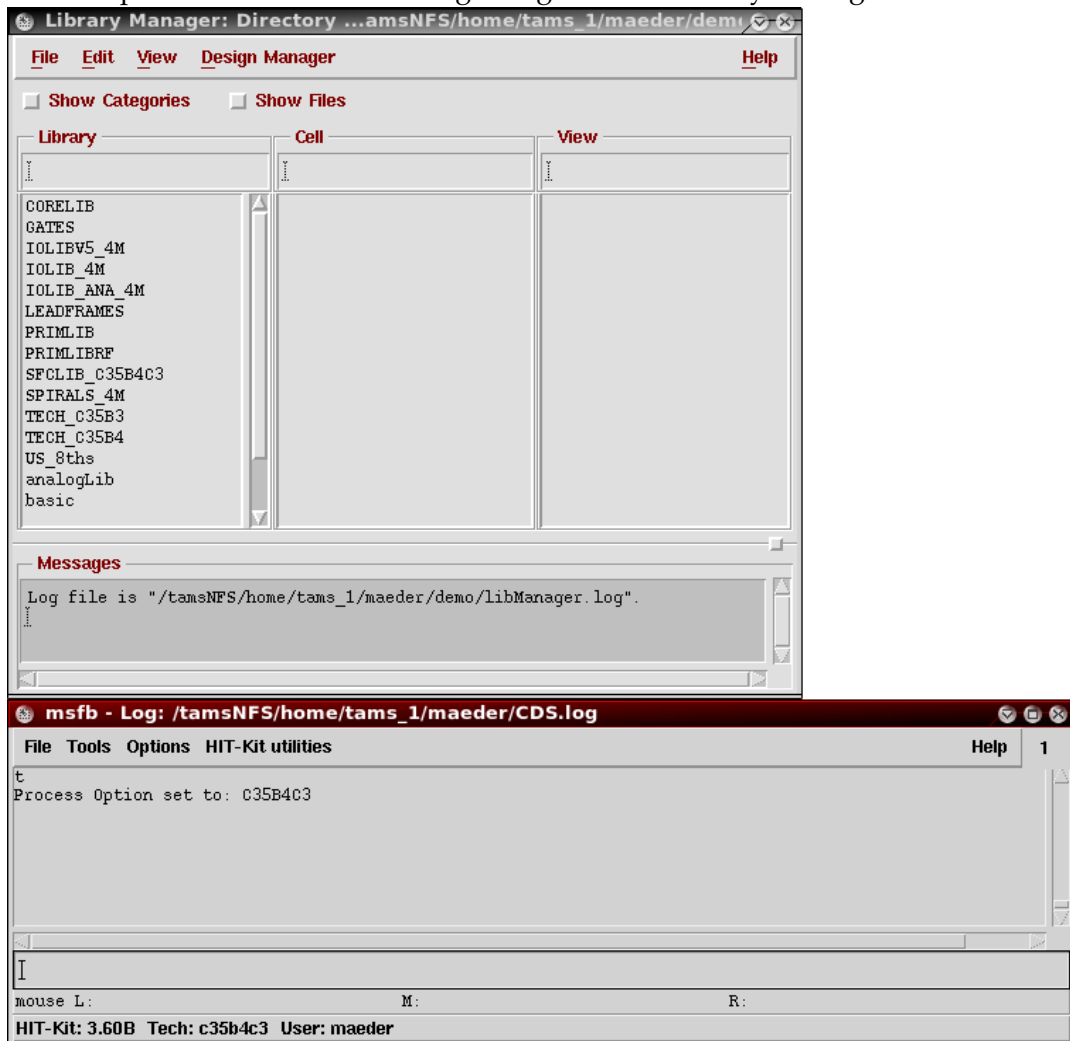
[maeder@tams85]~/demo>ams_cds -mode msfb -tech c35b4

```

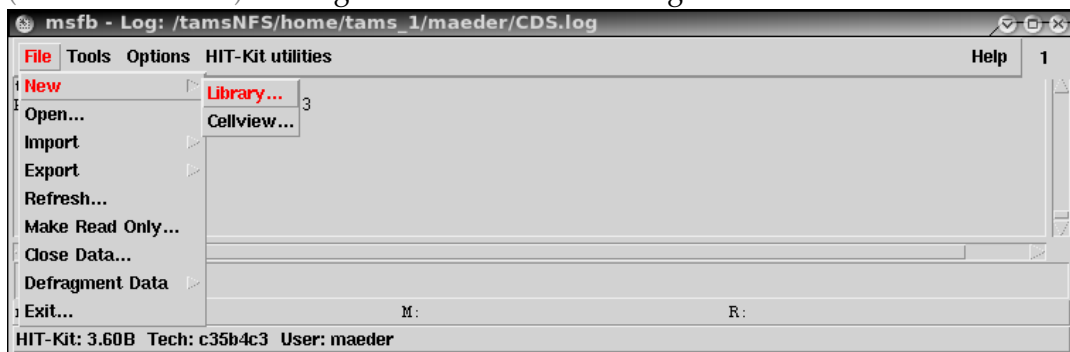
Beim ersten Aufruf wird außerdem nach der Prozessoption gefragt:

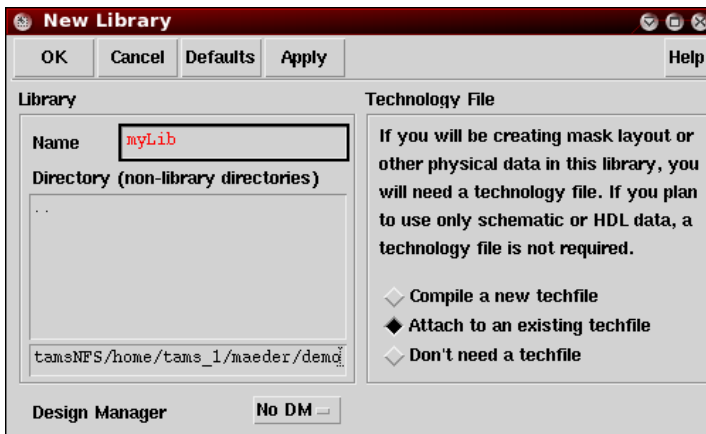


Das Hauptfenster der Entwurfsumgebung und der Library-Manager erscheinen:



2. (beim ersten Start) Erzeugen einer Bibliothek für eigene Entwürfe:

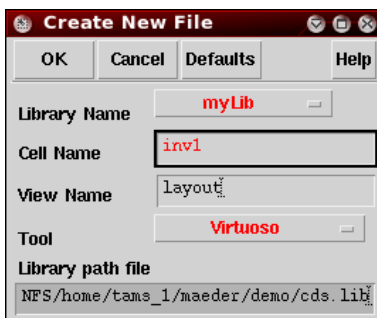
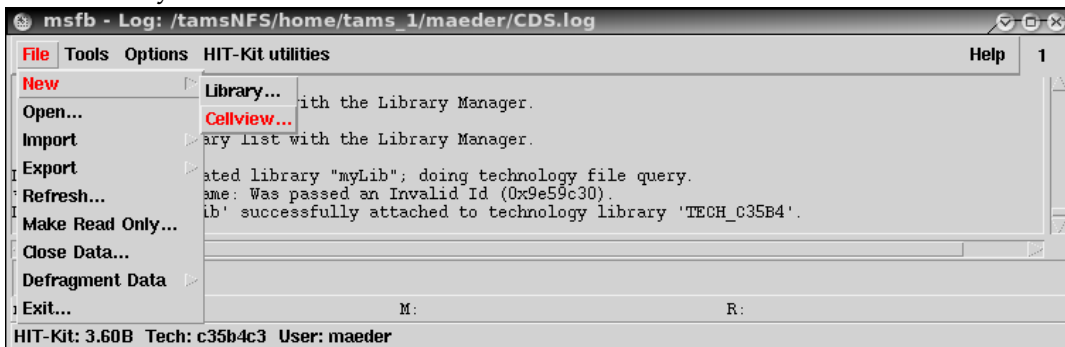




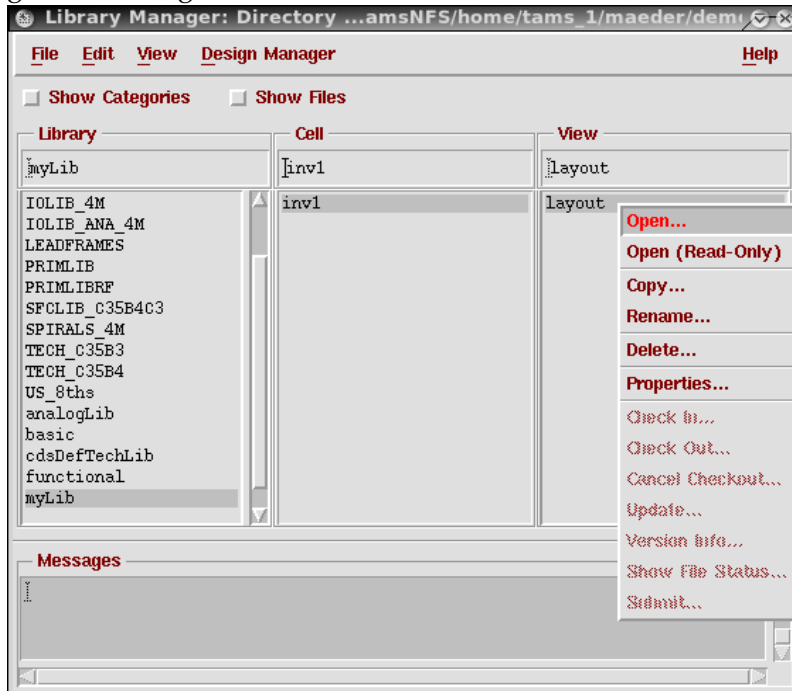
Die Bibliothek muss mit der Technologie des Herstellers verknüpft werden. Dadurch werden prozessspezifische Parameter (Definition der Layer, Regeln für Design Rule Check und Extraktion usw.) festgelegt:



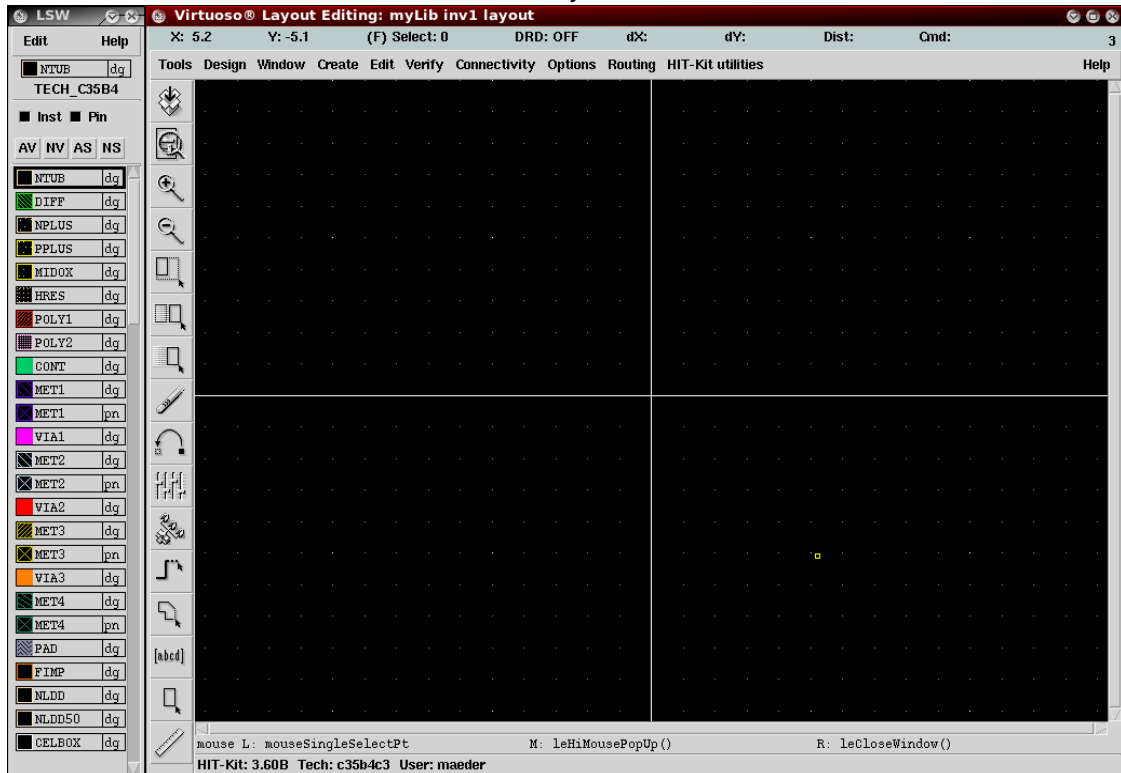
3. Start des Layout-Editors — bei neuen Entwürfen:



Schon vorhandene Entwürfe werden am einfachsten über den Library-Manager ausgewählt und geöffnet:



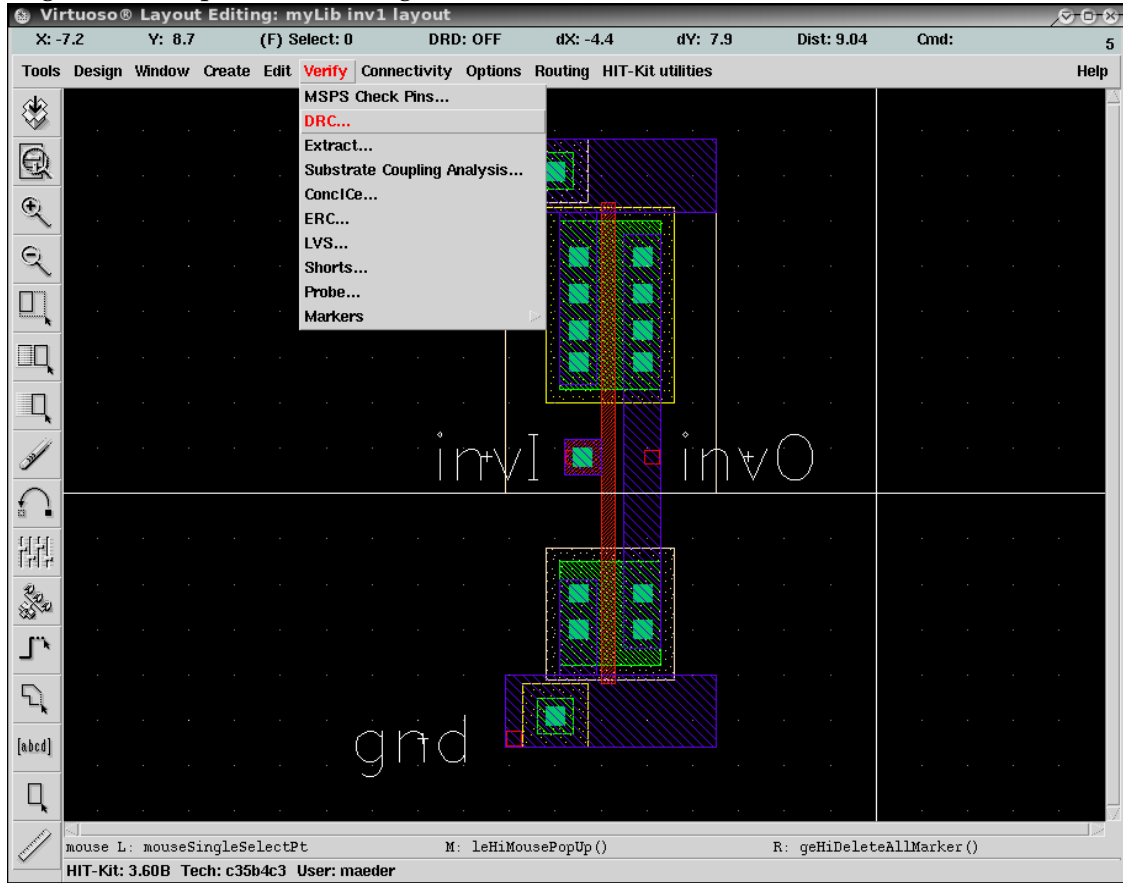
Anschließend erscheinen die Fenster des Layout-Editors:



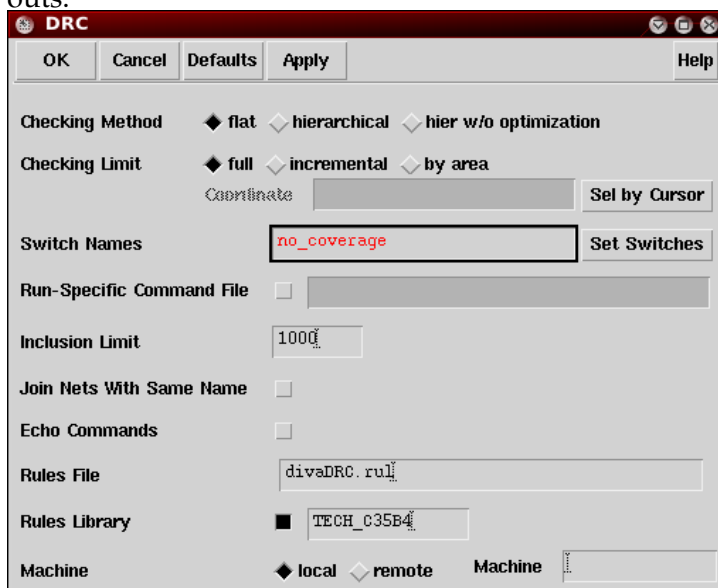
4. Layout erstellen — siehe: „CADENCE Grundlagen“, 3 Der Layout-Editor.

Design Rule Check

- Der Design Rule Check (DRC) prüft für ein fertiges Layout, ob die technologiebedingten Regeln des Chipherstellers eingehalten werden:



Die Auswahl von no_coverage unterdrückt Fehlermeldungen zur „Dichte“ des Layouts:



Während des DRC-Laufs erscheinen in dem Hauptfenster die Ausgaben des Programms:

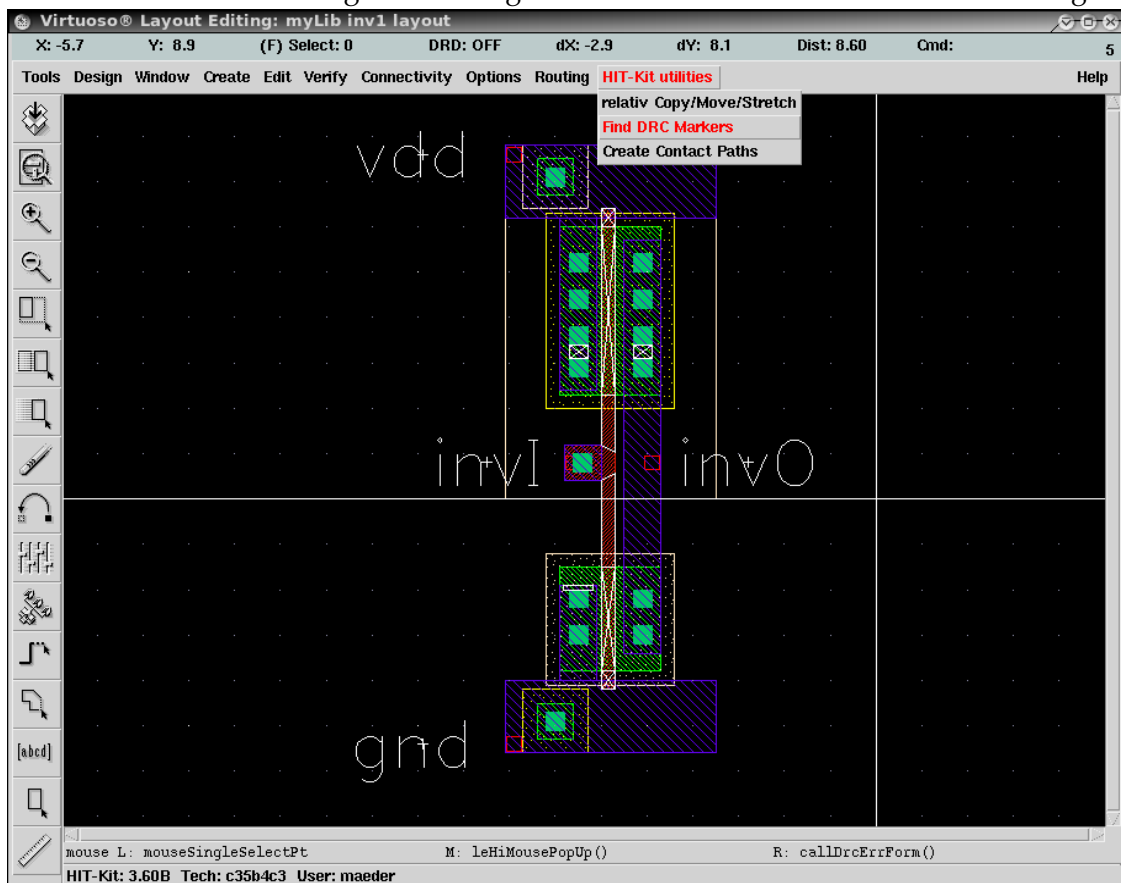
```

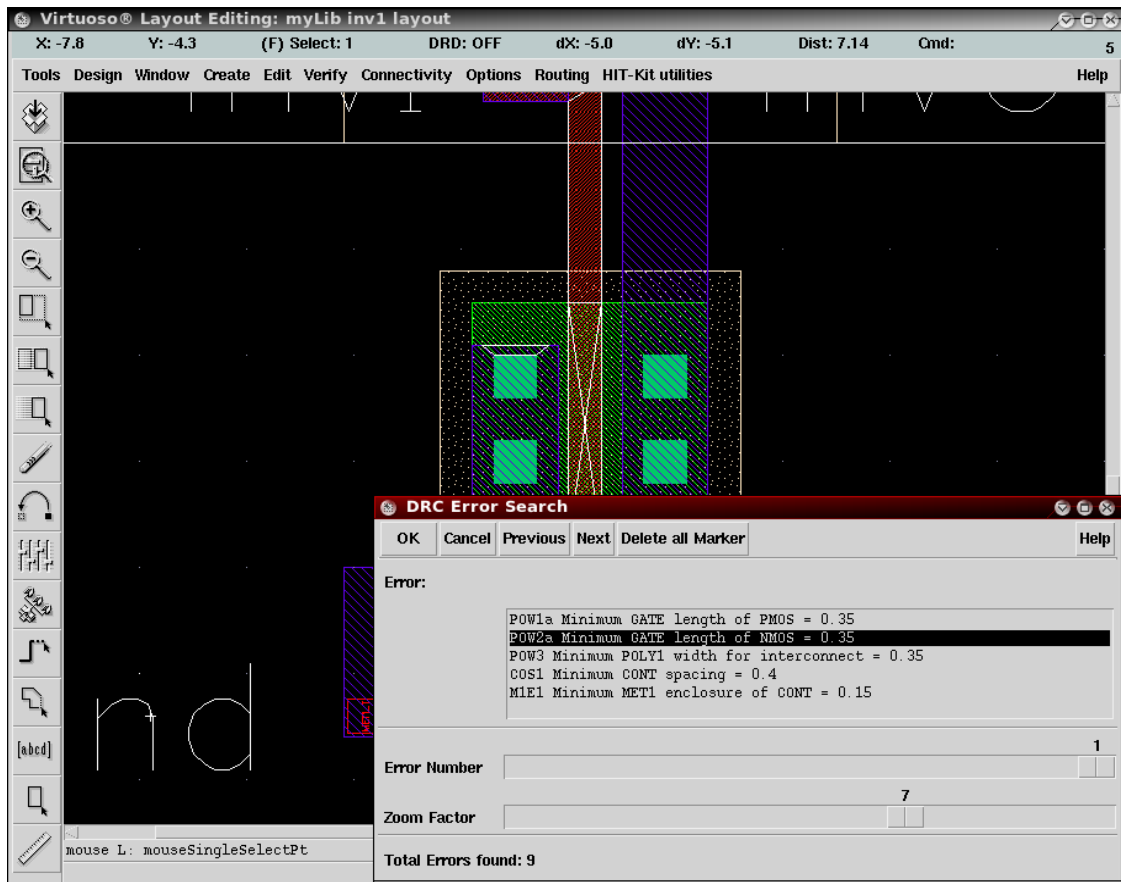
msfb - Log: /tamsNFS/home/tams_1/maeder/CDS.log
File Tools Options HIT-Kit utilities Help 1
***** Summary of rule violations for cell "inv1 layout" *****
# errors Violated Rules
2 COS1 Minimum CONT spacing = 0.4
1 MLE1 Minimum MET1 enclosure of CONT = 0.15
1 POW1a Minimum GATE length of PMOS = 0.35
1 POW2a Minimum GATE length of NMOS = 0.35
4 POW3 Minimum POLY1 width for interconnect = 0.35
9 Total errors found

mouse L: mouseSingleSelectPt M: leHiMousePopUp() R: amsDrcItemCallback()
HIT-Kit: 3.60B Tech: c35b4c3 User: maeder

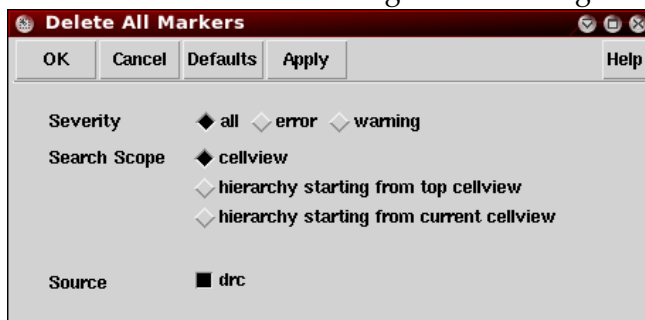
```

Traten DRC-Fehler auf, so werden sie mit einem speziellen Layer (blinkend) markiert. Die Größe dieser Polygone beschreibt oft schon die Regelverletzung, zum Beispiel bei Mindestabständen. Die Regelverletzungen lassen sich einzeln auswählen und anzeigen:





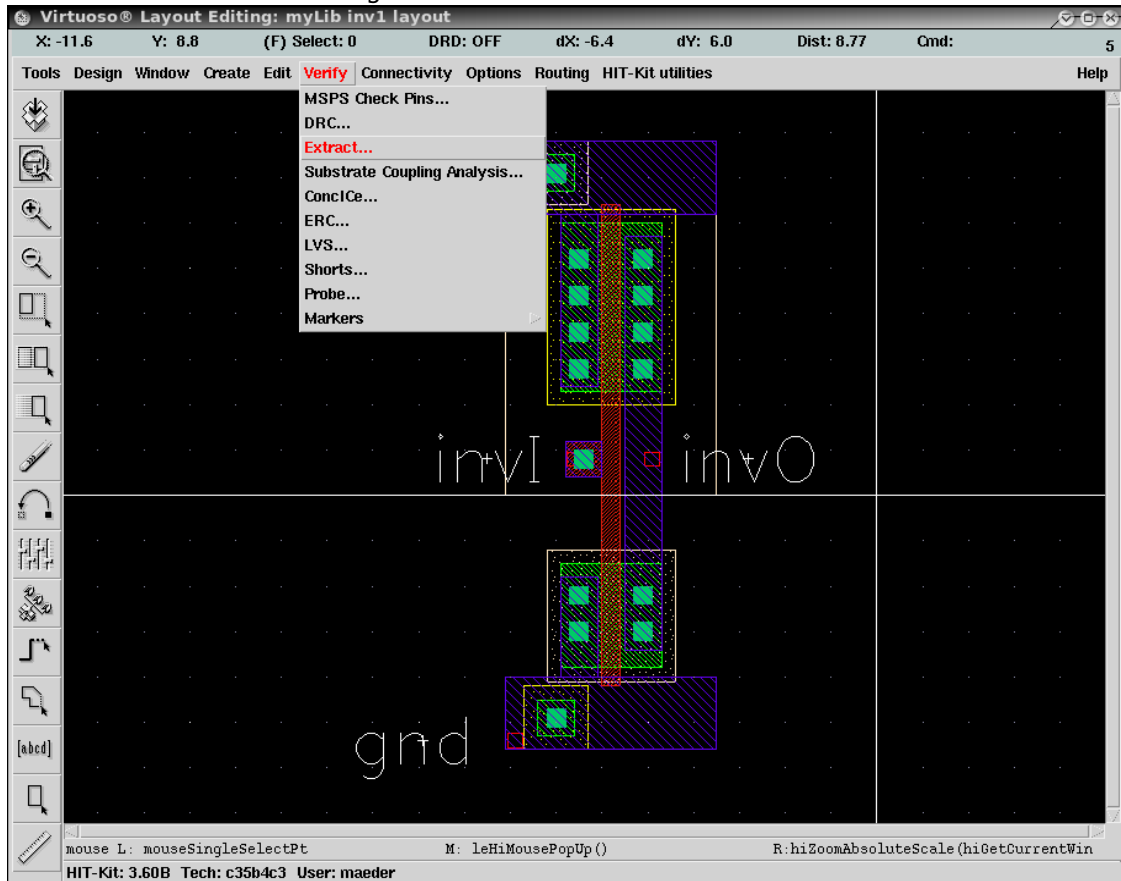
Um die (störenden) DRC-Markierungen zu löschen, kann der Knopf **Delete all Marker** benutzt werden. Die dann folgende Nachfrage ist zu bestätigen:



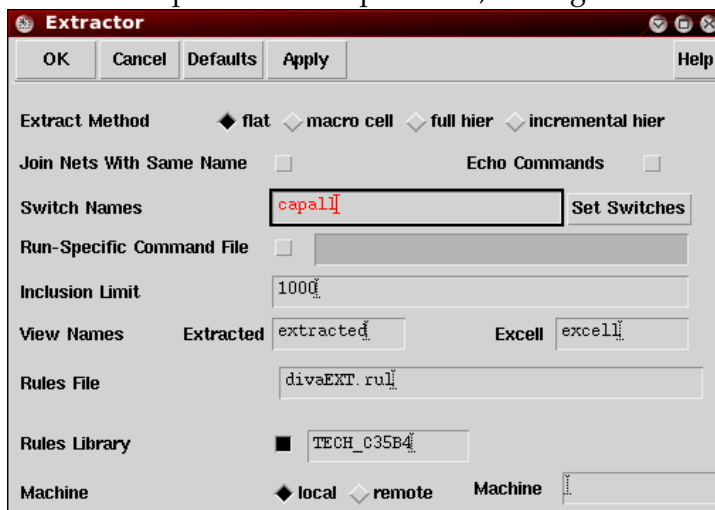
Ansonsten werden die DRC-Markierungen durch einen neuen Lauf automatisch gelöscht. Das Layout muss so lange nachgearbeitet werden, bis keine Fehler mehr vorhanden sind.

Netzlistenextraktion

6. Als Voraussetzung für die Extraktion der elektrischen Netzliste müssen alle Schaltungsanschlüsse als Pins markiert sein — dieser Schritt ist in der Beschreibung des Layout-Editors dokumentiert (3.8 Hierarchie). Für die Spannungsversorgung sollten die reservierten Bezeichner vdd und gnd benutzt werden:



Für eine möglichst genaue Simulation wird eine vollständige Netzlistenextraktion, inklusive aller parasitären Kapazitäten, durchgeführt:



Während der Extraktion erscheinen in dem Hauptfenster die Ausgaben des Programms:

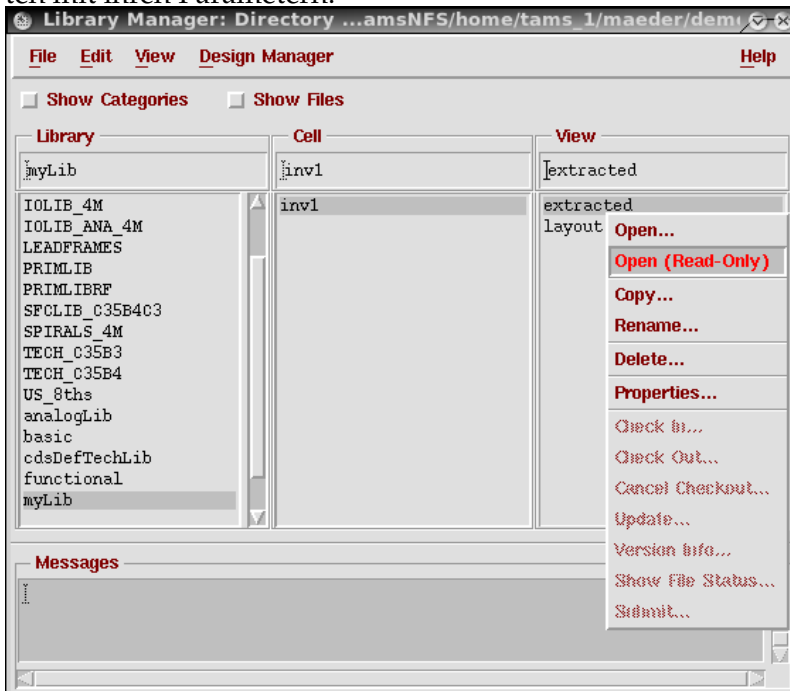
```

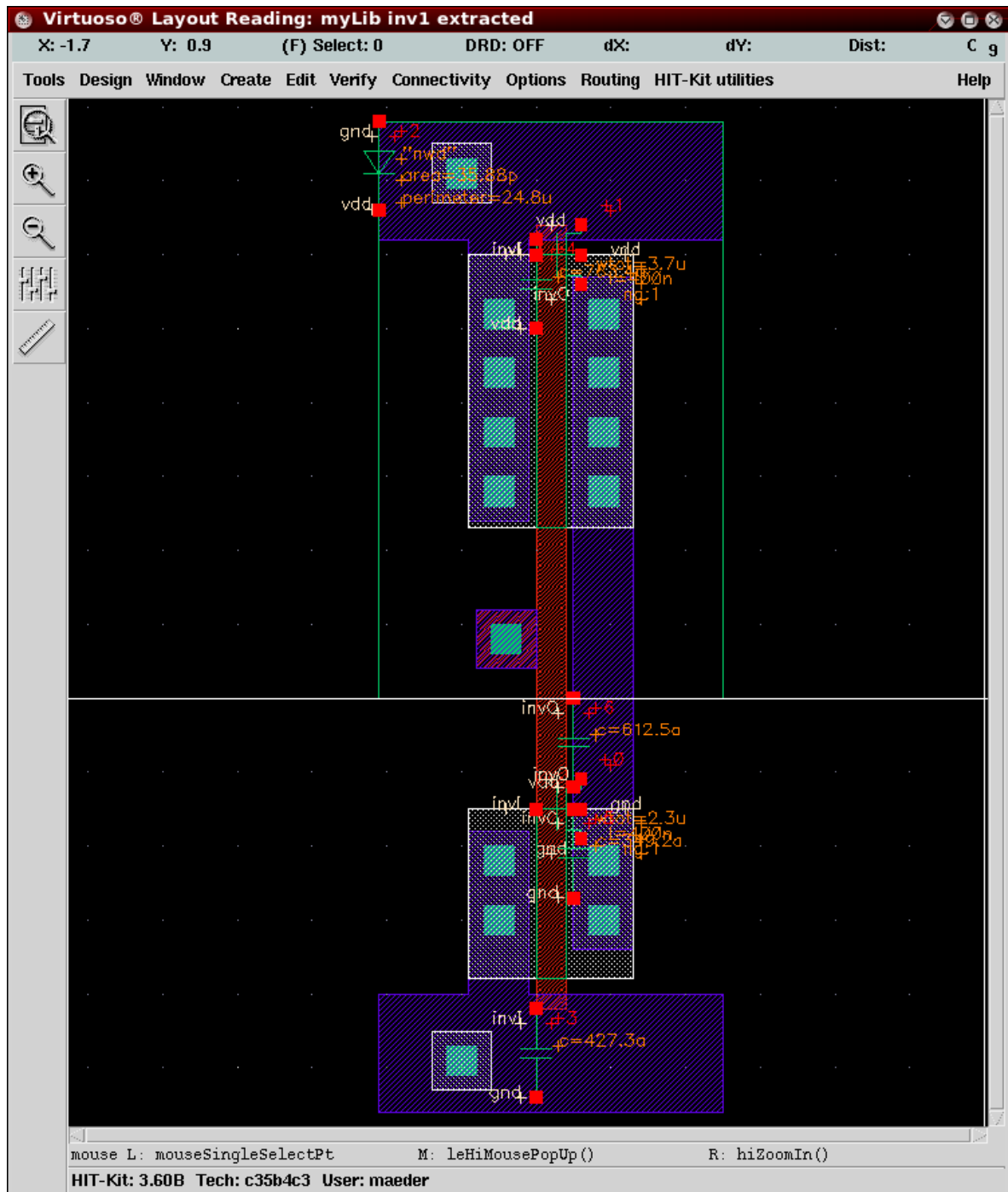
msfb - Log: /tamsNFS/home/tams_1/maeder/CDS.log
File Tools Options HIT-Kit utilities Help 1
flat mode
Full checking.
For layer NMOS_device :
  1 shapes encountered.
  1 nmos4 auLvs PRIMLIB devices well formed.
For layer PMOS_device :
  1 shapes encountered.
  1 pmos4 auLvs PRIMLIB devices well formed.
For layer P_NWD_device :
  1 shapes encountered.
  1 pnwd auLvs PRIMLIB devices well formed.
4 pcapacitor auLvs PRIMLIB parasitics created.
Extraction started. .... Thu Jan 13 16:55:48 2005
completed ... Thu Jan 13 16:55:48 2005
CPU TIME = 00:00:00 TOTAL TIME = 00:00:00
***** Summary of rule violations for cell "inv1 layout" *****
Total errors found: 0
saving rep myLib/inv1/extracted

mouse L: mouseSingleSelectPt      M: leHiMousePopUp()      R: amsExtractItemCallback()
HIT-Kit: 3.60B Tech: c35b4c3 User: maeder

```

7. (optional) Anschließend kann das Ergebnis angesehen werden. In der extracted-View sieht man das zugrundeliegende Layout und die Netzliste der extrahierten Komponenten mit ihren Parametern:

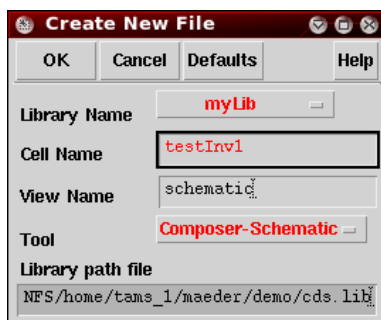
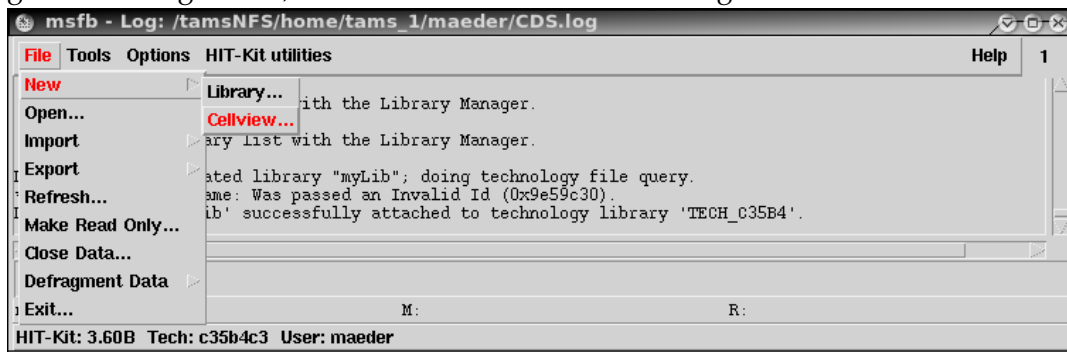




Aufbau einer Testumgebung

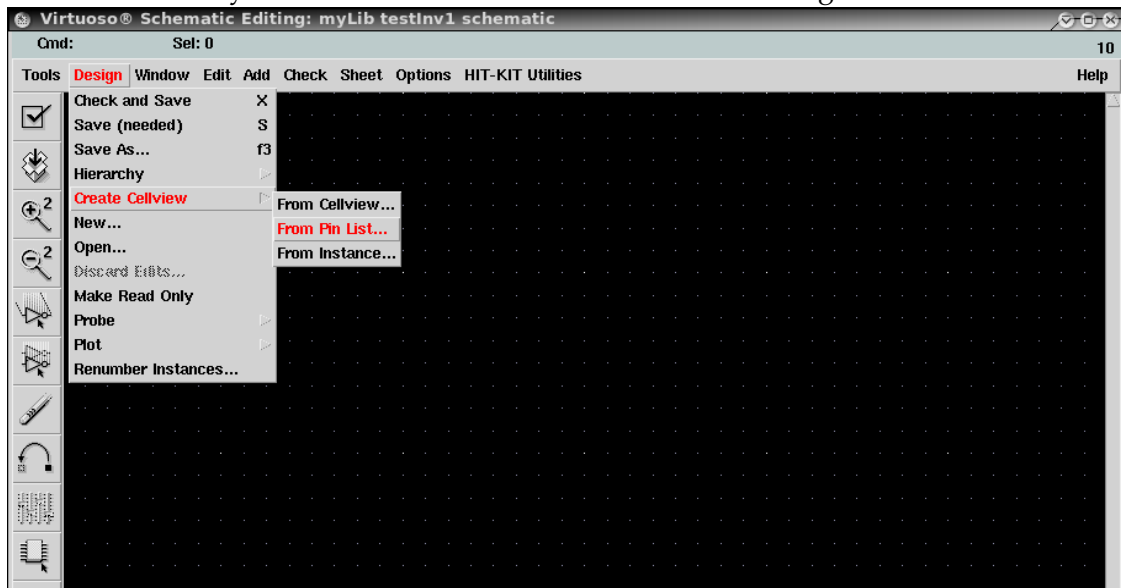
- Start des Schematic-Editors um eine Testumgebung aufzubauen. Für die spätere Simulation treibt die Testumgebung die Eingänge der Schaltung mit entsprechenden Quellen und simuliert externe Lasten an den Ausgängen.

Schon vorhandene Entwürfe werden am einfachsten über den Library-Manager ausgewählt und geöffnet, während man neue Entwürfe folgendermaßen erstellt:

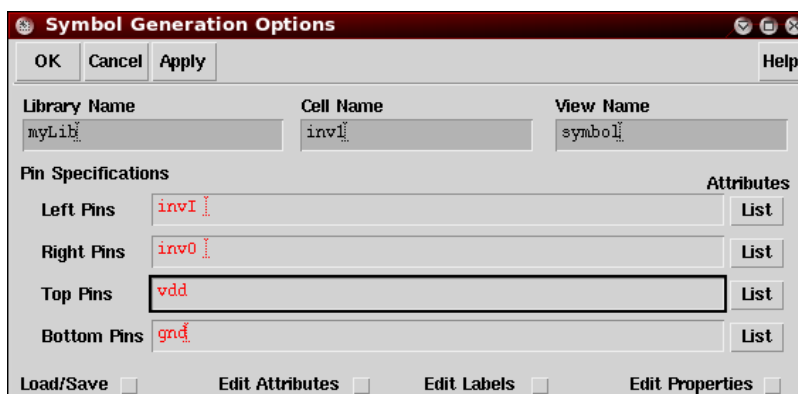
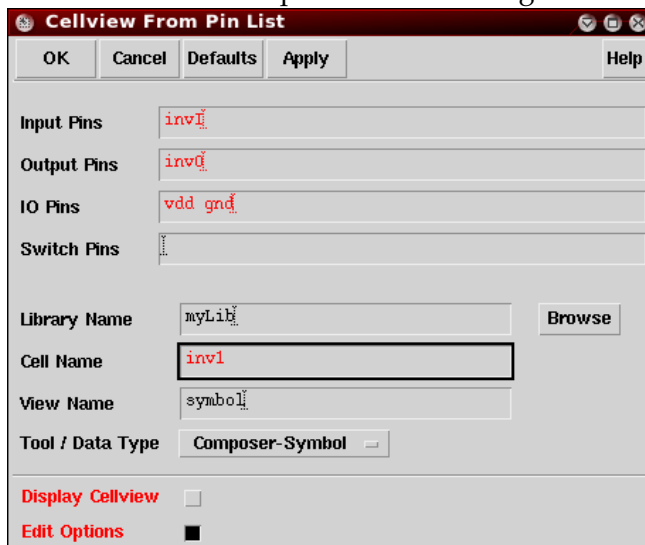


Achtung: die Testumgebung muss anders heißen als das zu simulierende Layout, schließlich soll eine neue Hierarchieebene erzeugt werden, die das Layout (die zu simulierende extrahierte Netzliste) referenziert!

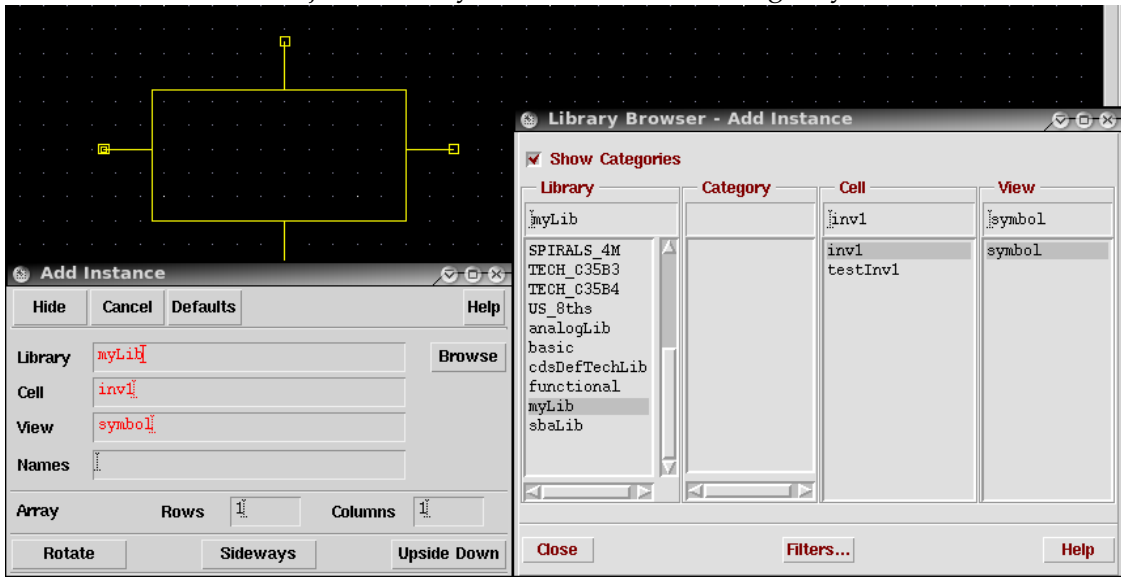
9. Zuerst wird ein Symbol als Schnittstelle zum Schematic-Editor generiert:



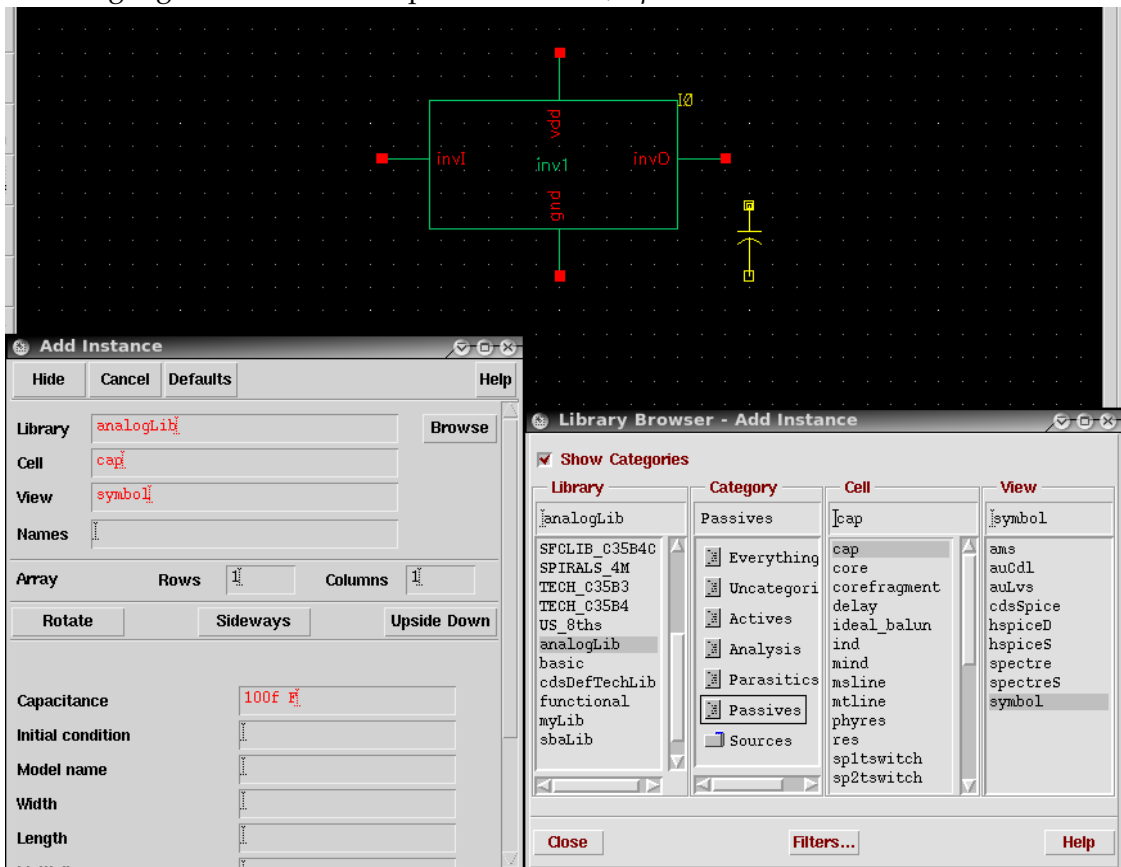
Dabei müssen die Bezeichner der Pins mit denen des Layouts übereinstimmen. Zusätzlich wird in dem Beispiel die Anordnung der Pins über die Eingabemaske variiert:



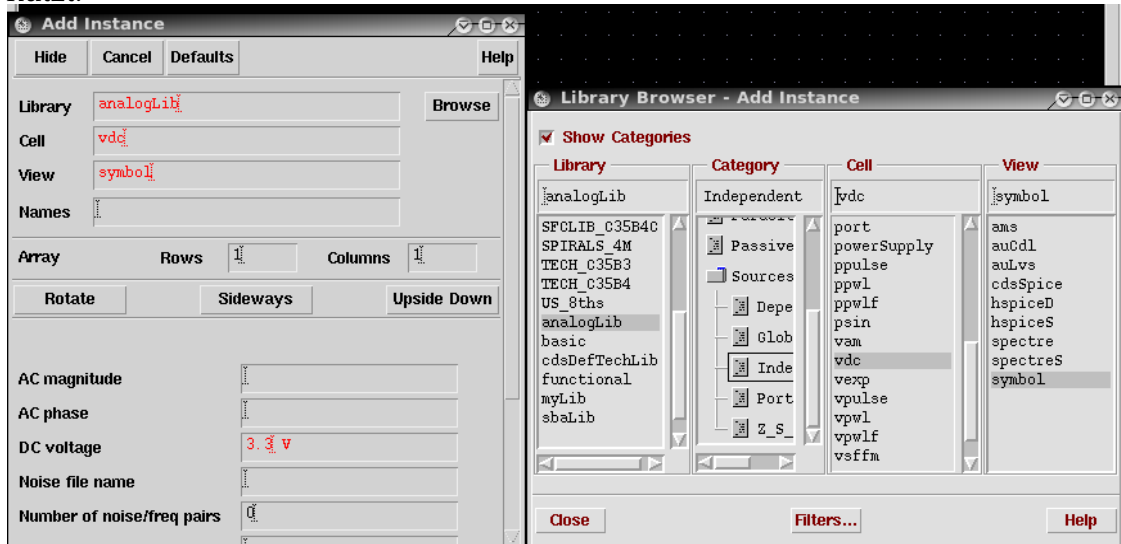
10. Design der Testumgebung — siehe: „CADENCE Grundlagen“, 4 Der Schematic-Editor. In dem Schematic wird jetzt das Layout über das neu erzeugte Symbol referenziert:



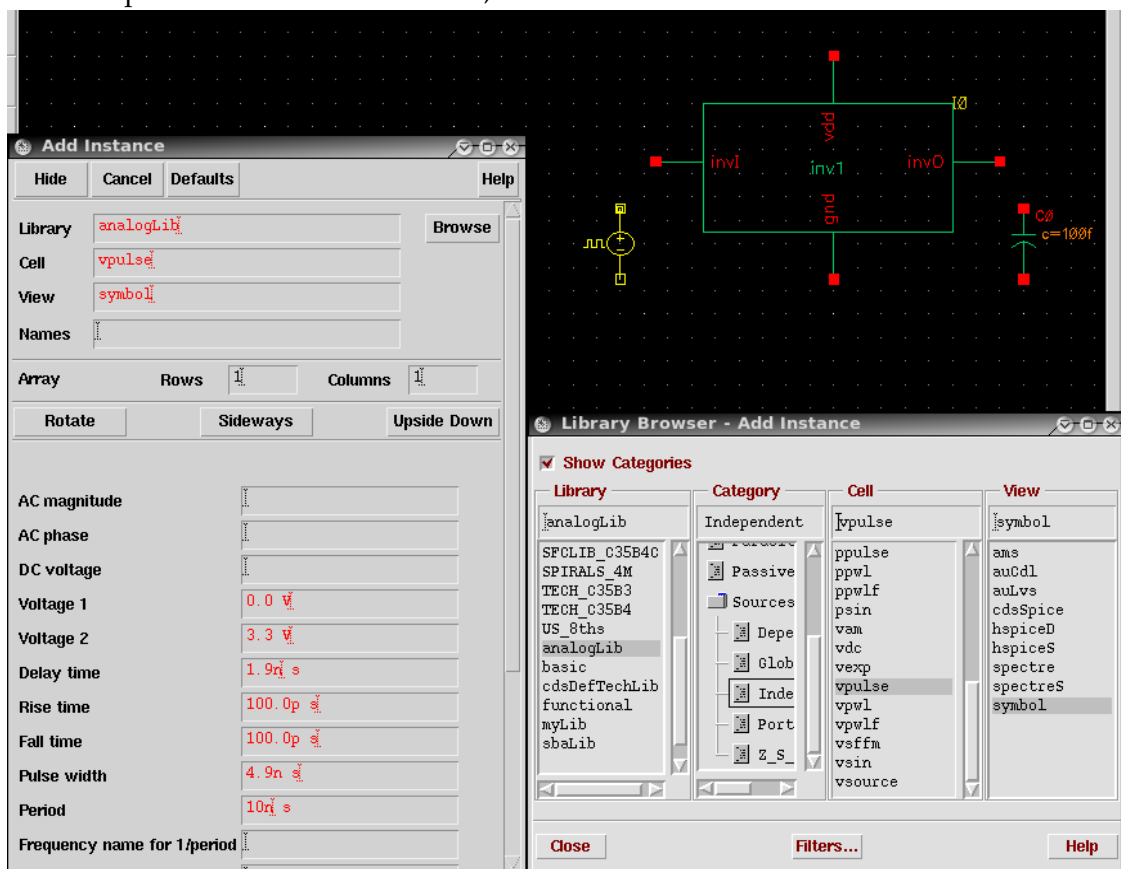
Als Ausgangslasten werden Kapazitäten von 0,1 pF benutzt:



Eine Gleichspannungsquelle treibt die Versorgungsspannung vdd und gnd; für die Simulation werden zusätzlich die entsprechenden Symbole der Bibliothek analogLib benutzt:



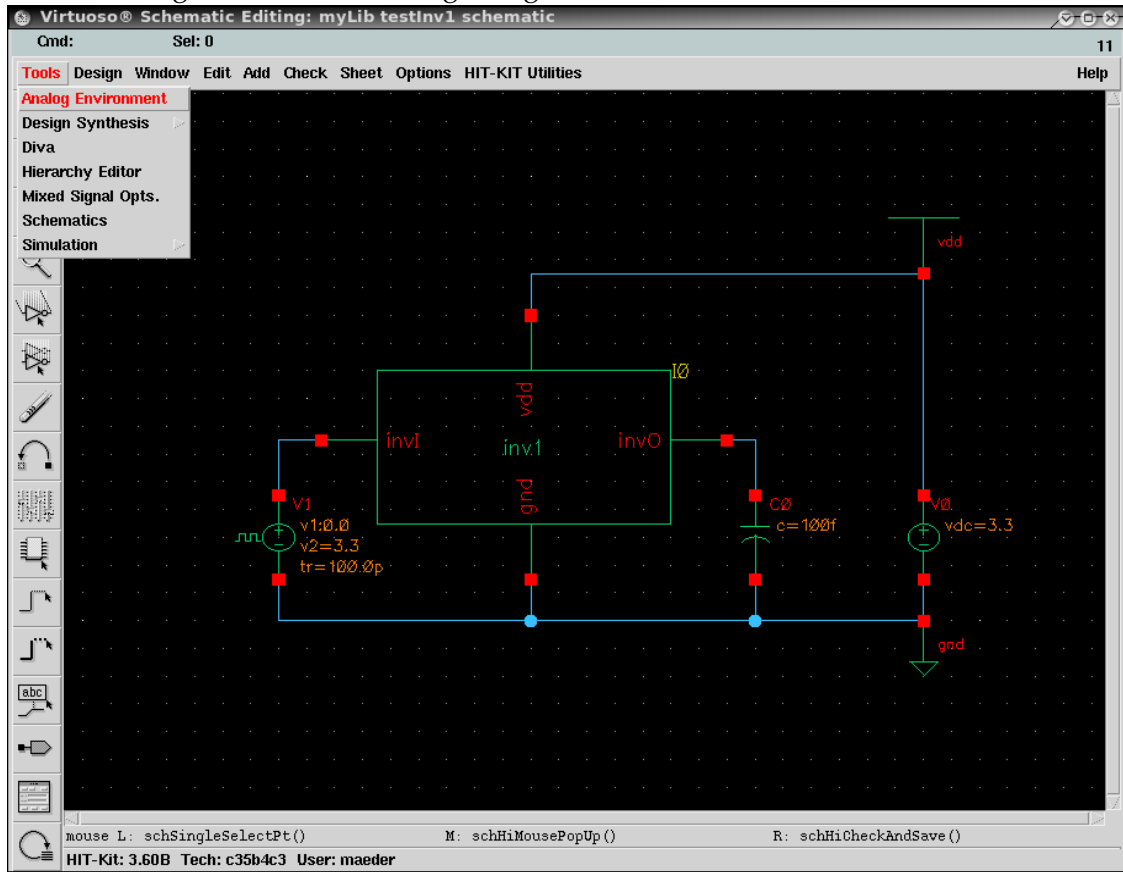
Als Eingangstreiber eignen sich beispielsweise pulserzeugende Spannungsquellen — in dem Beispiel mit 10 ns Periode und 0,1 ns Flankensteilheit:



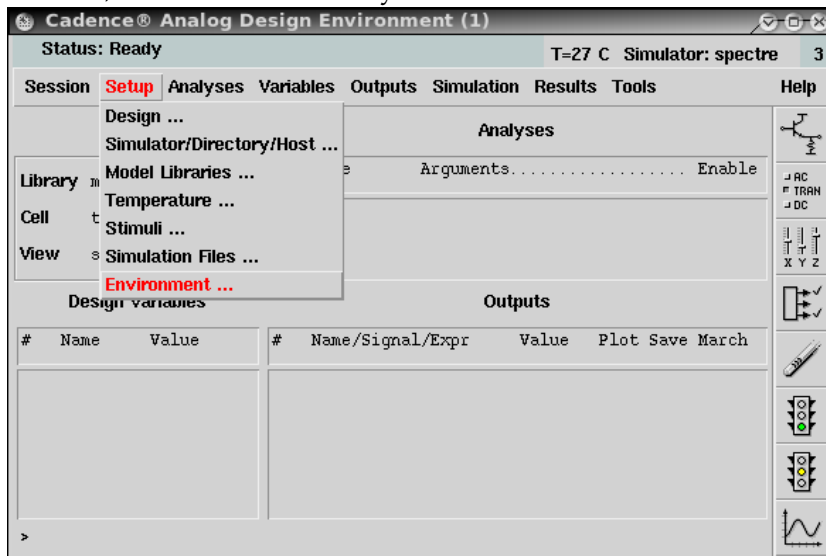
Nachdem alle Komponenten miteinander verbunden sind, wird die Schaltung gesichert; dabei sollte auch gleich ein Schematic Rule Check durchgeführt werden.

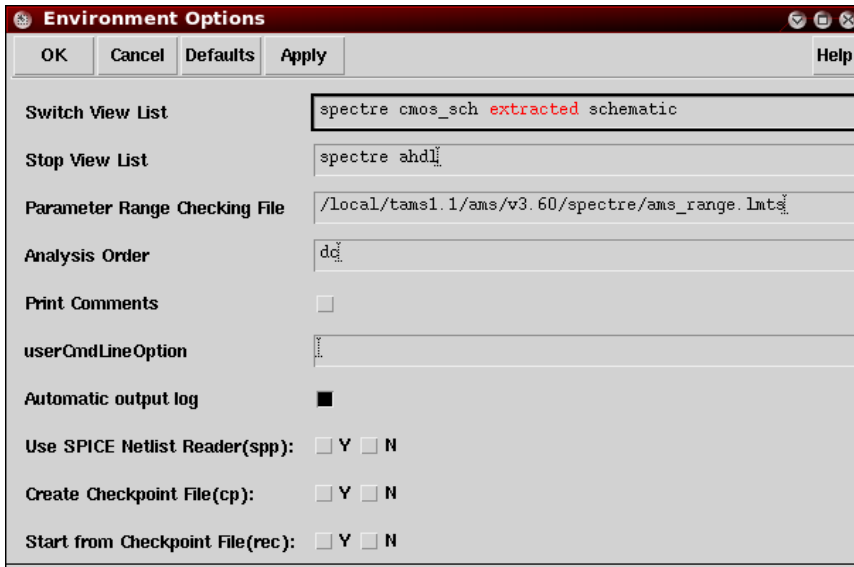
Simulation der Schaltung

11. Initialisierung der Simulationsumgebung:

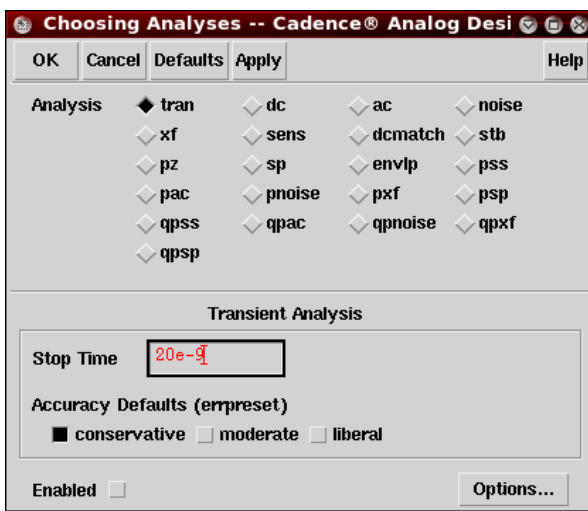
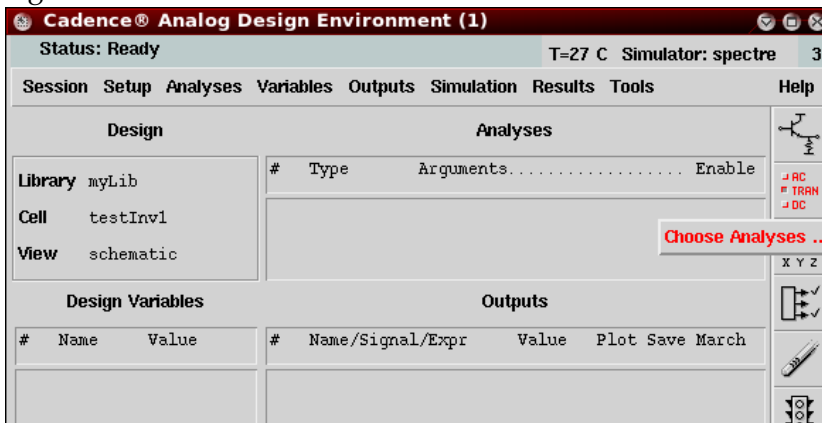


Anschließend muss die Konfiguration für die spätere Netzlistengenerierung so geändert werden, dass die aus dem Layout extrahierte Netzliste berücksichtigt wird:

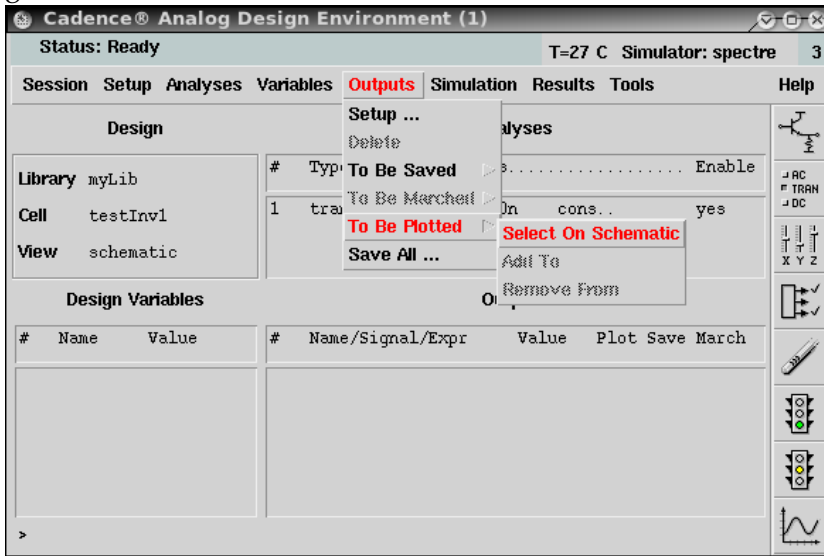




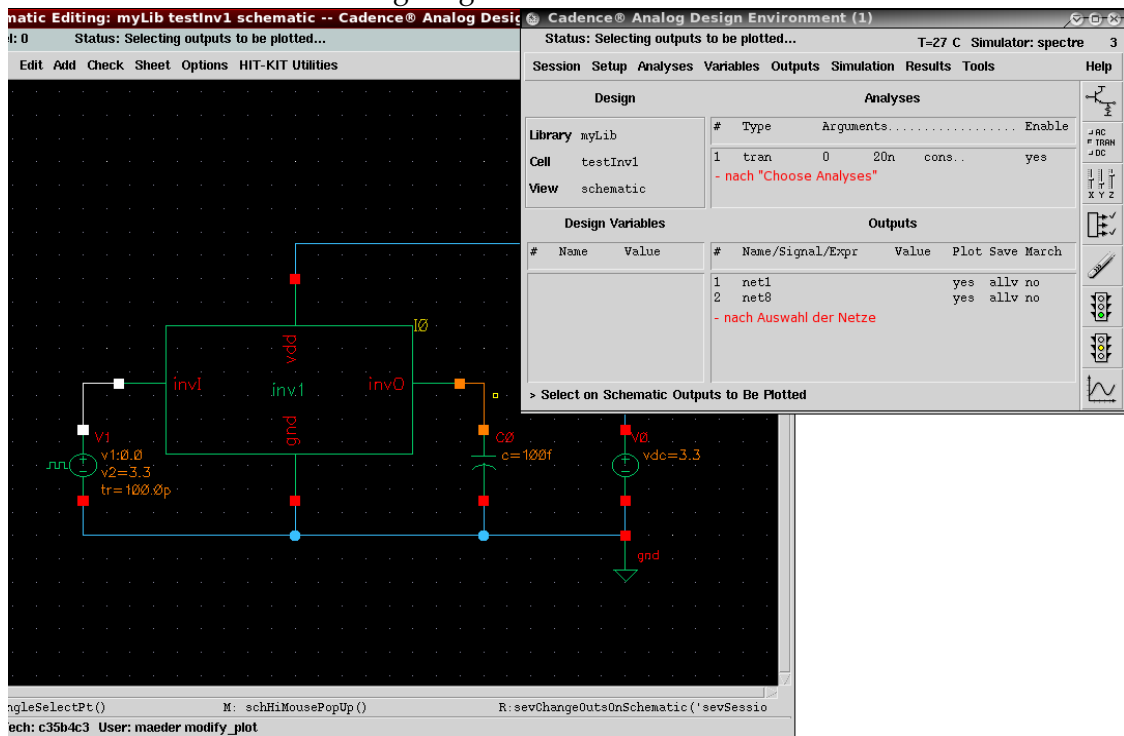
12. Art der Simulation und simulierten Zeitraum (in dem Beispiel: 20 ns = 2 Perioden) festlegen:



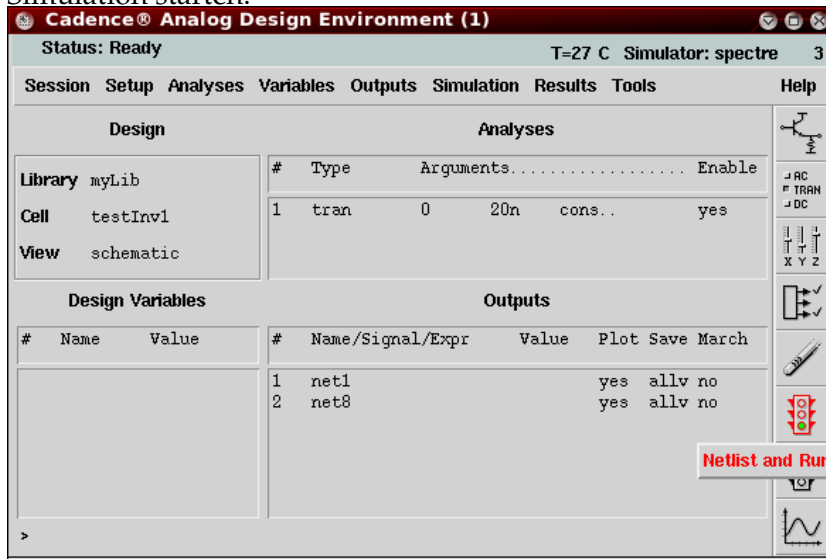
13. Vor der Simulation müssen noch die zu plottenden Signale ausgewählt werden. Dies geschieht am einfachsten durch Auswahl der Netze in in dem Schaltplan:



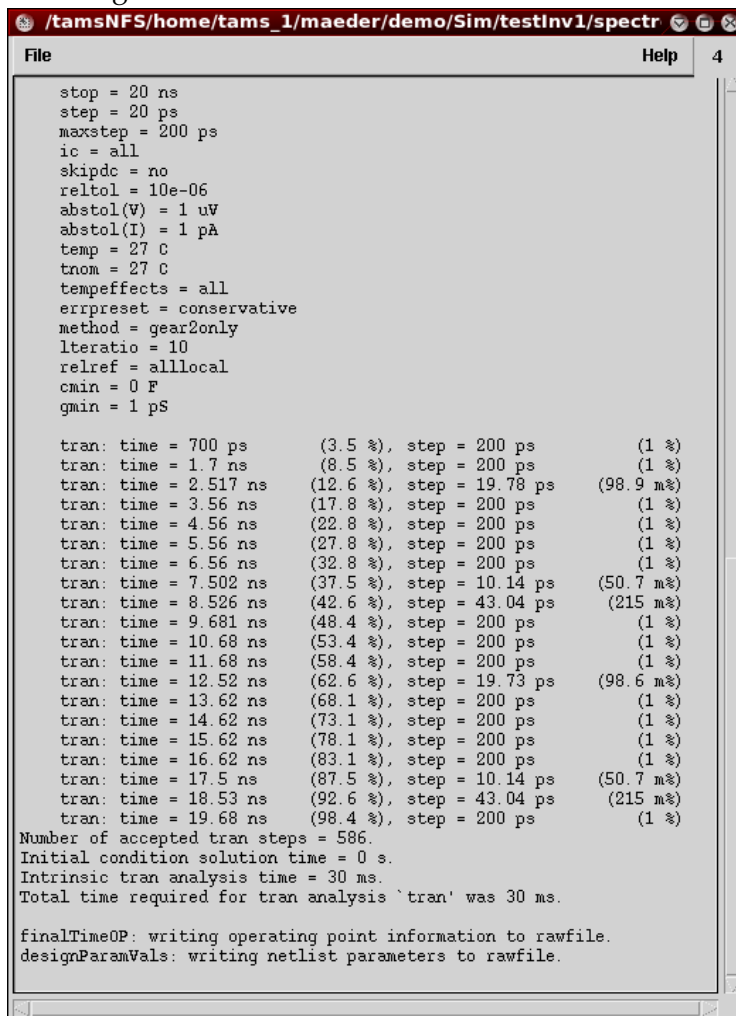
Die dabei selektierten Netze werden im Schematic farblich markiert und ihre Bezeichner in dem Simulationsfenster eingetragen:



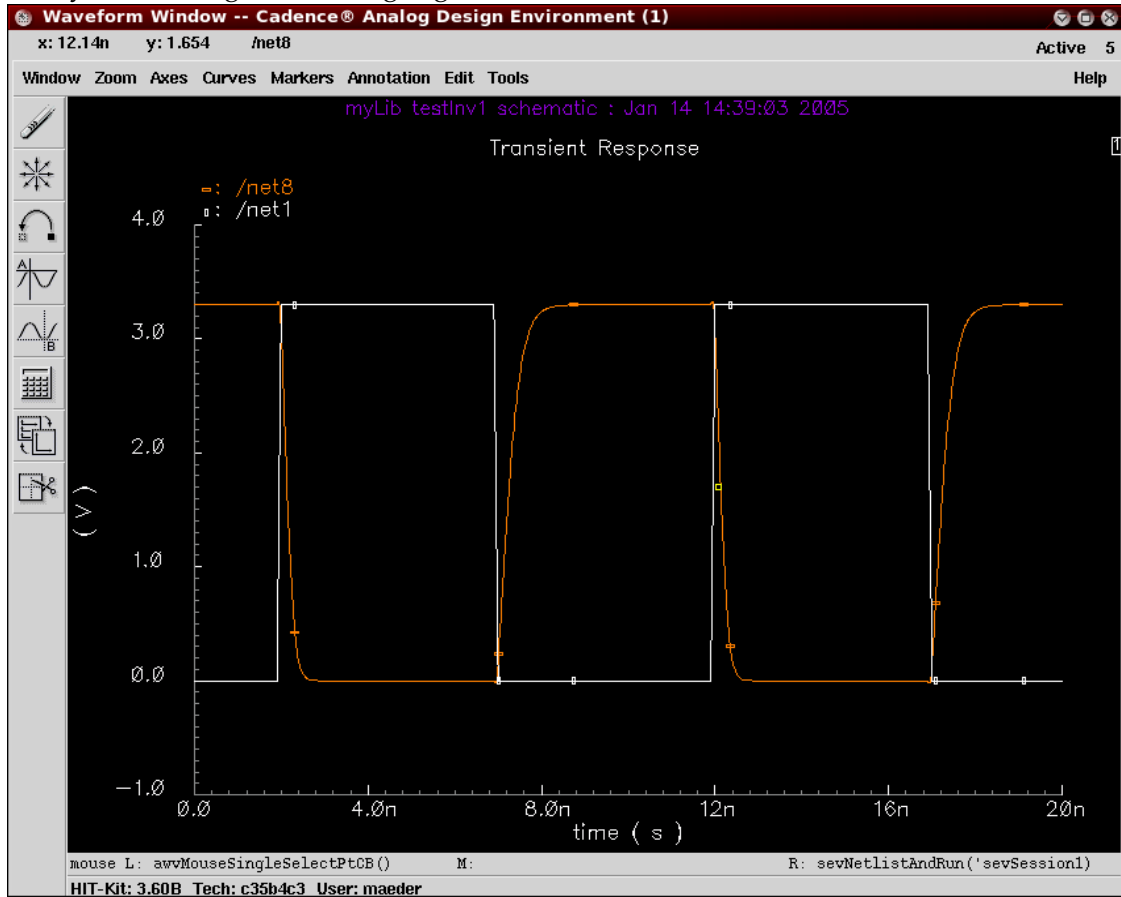
14. Simulation starten:



Die Ausgaben des Simulators erscheinen in einem extra Textfenster:



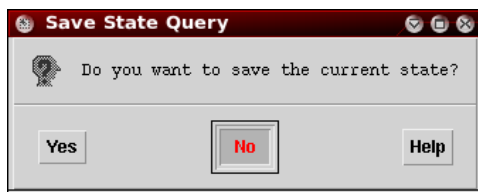
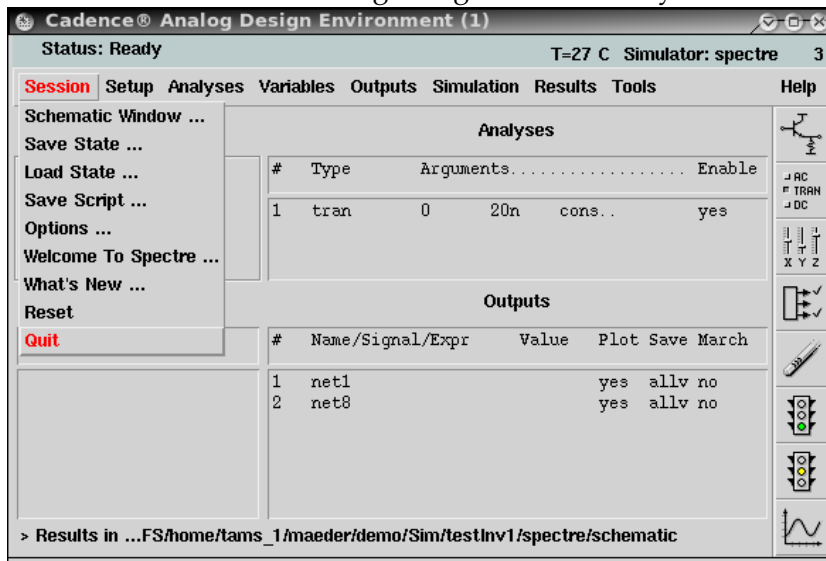
15. Nach dem Abschluss des Simulationslaufs zeigt ein Fenster die zuvor selektierten Signale an. Zur Interpretation der Ergebnisse stehen hier Marken, Zoomfunktion und Analysewerkzeuge zur Verfügung:



Zeigt die Simulation ein „falsches“ Verhalten, dann müssen folgende Schritte wiederholt werden:

- 3./4. Änderung des Layouts
5. Design Rule Check
6. Netzlistenextraktion
14. danach kann die Simulation erneut gestartet werden

16. Beenden der Simulationsumgebung nach der Analyse:



17. ... fertig — CADENCE IC-Design verlassen:

